

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-197852

(43)Date of publication of application : 12.07.2002

(51)Int.Cl.

G11C 11/14
G11C 11/15
H01L 27/105
H01L 27/10
H01L 43/08

(21)Application number : 2000-393213

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25.12.2000

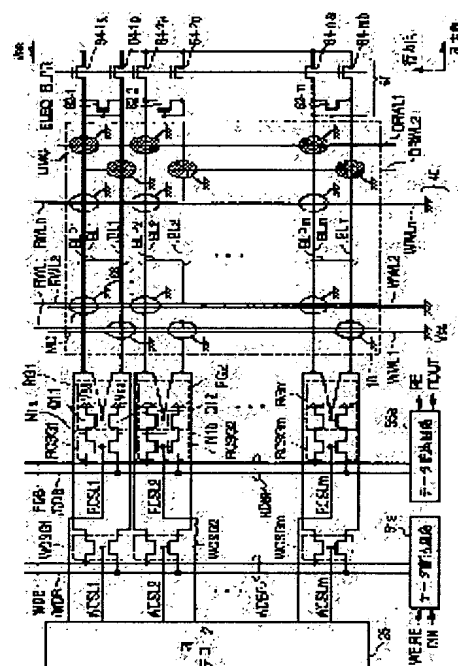
(72)Inventor : HIDAKA HIDETO

(54) THIN FILM MAGNETIC SUBSTANCE STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To accelerate data read from an MRAM(Magnetic RAM) device formed of a magnetic substance memory cell having a magnetic tunnel junction section.

SOLUTION: A memory cell MC and a dummy memory cell DMC are respectively connected with bit lines BL and /BL at data read, through which a data read current flows. A read gate RG of a selected memory cell array drives the voltage of read data buses RDB and /RDB depending on the voltage of the bit lines BL and /BL. A data read circuit 55a amplifies the voltage difference between the read data buses RDB and /RDB to provide an output of read data DOUT. Since the read data buses RDB and /RDB can be disconnected from the path of the data read current by using the read gate RG, a voltage change in the bit lines BL and /BL is caused quickly to attain a high data read speed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

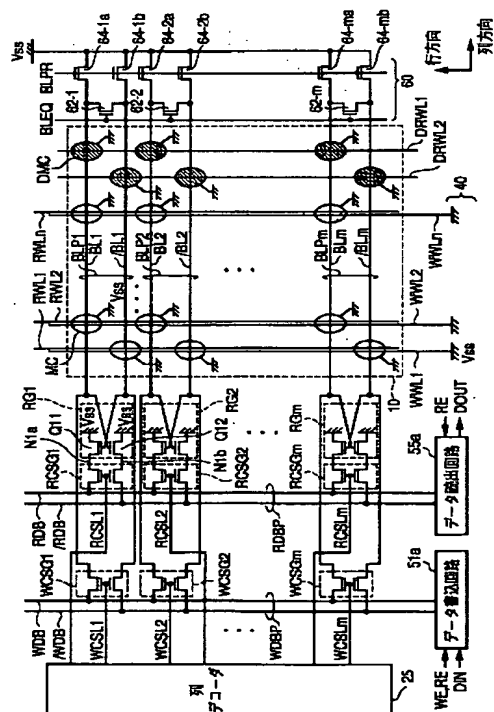
[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (uspto)



【特許請求の範囲】

【請求項 1】 行列状に配置される、各々が記憶データのレベルに応じて第 1 および第 2 の抵抗値のいずれか一方を有する複数の磁性体メモリセルを含むメモリアレイと、

前記磁性体メモリセルの列に対応してそれぞれ設けられる複数の第 1 のビット線と、

前記磁性体メモリセルの行に対応してそれぞれ設けられ、第 1 の電圧に設定された前記複数の第 1 のビット線と第 2 の電圧との間に、アドレス選択された前記行に対応する前記磁性体メモリセルをそれぞれ電気的に結合して、前記磁性体メモリセルにデータ読出電流を通過させるための複数の読出ワード線と、

読出データを伝達するための第 1 の読出データ線と、前記複数の第 1 のビット線のうちの前記アドレス選択された前記列に対応する 1 本の電圧に応じて、前記第 1 の読出データ線の電圧を設定するための読出ゲート回路と、

前記第 1 の読出データ線の電圧に応じて、読出データのデータレベルを設定するデータ読出回路とを備える、薄膜磁性体記憶装置。

【請求項 2】 データ読出時において、前記複数の第 1 のビット線を前記第 1 の電圧と結合するためのプルアップ回路をさらに備える、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 3】 前記データ読出時において、前記アドレス選択された列に対応する前記第 1 のビット線と前記プルアップ回路とを電気的に結合するための選択回路をさらに備える、請求項 2 記載の薄膜磁性体記憶装置。

【請求項 4】 前記記憶データを前記磁性体メモリセルに書き込むためのデータ書き込電流を供給するデータ書き込電流供給回路と、

前記データ書き込電流を伝達するための書き込データ線と、データ書き込時および前記データ読出時のそれぞれにおいて、前記データ書き込電流供給回路および前記プルアップ回路と前記書き込データ線とをそれぞれ結合するためのスイッチ回路とをさらに備え、

前記選択回路は、

前記書き込データ線と前記複数の第 1 のビット線との間にそれぞれ配置される複数のコラム選択ゲートを含み、

前記複数のコラム選択ゲートのうちの前記アドレス選択された列に対応する 1 つは、前記データ書き込時および前記データ読出時の両方においてオンする、請求項 3 記載の薄膜磁性体記憶装置。

【請求項 5】 データ読出前において、前記複数の第 1 のビット線を前記第 1 の電圧にプリチャージするためのプリチャージ回路をさらに備え、

前記データ読出回路は、

入力ノードの電圧と所定電圧との電圧差を増幅して出力する電圧増幅回路と、

前記アドレス選択された列に対応する前記第 1 のビット線の電圧を、所定のタイミングにおいて前記入力ノードに伝達するためのゲート回路と、

前記所定のタイミングにおいて、前記電圧増幅回路の出力をラッチして前記読出データを生成するラッチ回路とを含む、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 6】 前記複数の第 1 のビット線と階層的に設けられ、前記データ読出時において、前記選択された列に対応する第 1 のビット線と選択的に結合される第 2 の読出データ線をさらに備え、

前記読出ゲート回路は、

前記第 1 の読出データ線と前記第 2 の電圧との間に、前記第 2 の読出データ線の電圧に応じた電流経路を形成するための電流制御回路を有する、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 7】 前記読出ゲート回路は、

前記磁性体メモリセルの列に対応してそれぞれ設けられ、各々が前記第 1 の読出データ線と前記第 2 の電圧との間に、前記複数の第 1 のビット線のうちの対応する 1 本の電圧に応じた電流経路を形成するための複数の電流制御回路を有する、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 8】 前記複数の第 1 のビット線のそれぞれの相補ビット線として設けられる複数の第 2 のビット線と、

前記第 1 の読出データ線の相補データ線として設けられる第 2 の読出データ線と、

前記第 1 および第 2 の抵抗値の中間の抵抗値を有し、各々が前記第 1 および第 2 のビット線のいずれかと結合される複数のダミーメモリセルと、

前記複数のダミーメモリセルを選択するための複数のダミー読出ワード線とをさらに備え、

前記複数の読出ワード線は、前記データ読出時において、第 1 の電圧に設定された前記複数の第 1 および第 2 のビット線の一方と前記第 2 の電圧との間に、選択された前記行に対応する前記磁性体メモリセルをそれぞれ電気的に結合し、

前記複数のダミー読出ワード線は、前記データ読出時において、前記第 1 の電圧に設定された前記複数の第 1 および第 2 のビット線の他方と前記第 2 の電圧との間に、前記ダミーメモリセルをそれぞれ電気的に結合し、前記読出ゲート回路は、前記複数の第 1 および第 2 のビット線のうちの選択された前記列に対応する 1 本ずつの電圧レベルに応じて、前記第 1 および第 2 の読出データ線の電圧レベルを設定し、

前記データ読出回路は、前記第 1 および第 2 の読出データ線間の電圧差に応じて、読出データのデータレベルを設定する、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 9】 通常動作モードとテストモードとを有する薄膜磁性体記憶装置であって、

3

行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有し、

前記磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において行選択結果に応じて選択的に活性化される複数の書込ワード線と、

活性化された前記複数のワード線に対して、第1の制御ノードの電圧レベルに応じた電流量の前記第1のデータ書込電流を供給するための書込ワード線ドライバと、前記データ書込時において、第2の制御ノードの電圧レベルに応じた電流量の前記第2のデータ書込電流を供給するためのデータ書込回路と、

前記磁性体メモリセルの列に対応してそれぞれ設けられ、データ書込時において、列選択結果に応じて前記データ書込制御回路と選択的に接続される複数のビット線とを備え、

前記書込ワード線および前記データ書込回路の少なくとも一方は、前記テストモード時において、前記第1および第2の制御ノードの対応する一方の電圧レベルを外部から設定するための入力端子を有する、薄膜磁性体記憶装置。

【請求項10】 前記入力端子は、

前記テストモード時において、前記第1および第2の制御ノードの対応する一方と電気的に結合される、外部から所定電圧を入力可能な基準電圧入力端子を含む、請求項9記載の薄膜磁性体記憶装置。

【請求項11】 前記書込ワード線および前記データ書込回路の少なくとも一方は、

前記第1および第2の制御ノードの対応する一方に基準電圧を生成するための基準電圧調整回路を含み、

基準電圧調整回路は、

外部からのブロー入力に応じて、第1の状態から第2の状態に不揮発的に変化する複数のプログラム素子と、各前記プログラム素子の状態の組み合わせに応じて、前記基準電圧の電圧レベルを設定する電圧調整部とを有する、請求項9記載の薄膜磁性体記憶装置。

【請求項12】 基準電圧調整回路は、

前記複数のプログラム素子に対応してそれぞれ設けられ、各々が外部からのテスト信号に応じて、対応する前記プログラム素子が第2の状態に遷移した場合と同様の電気的接続状態を形成するための複数のテストゲート回路とを含み、

前記入力端子は、

前記複数のテストゲート回路に対応してそれぞれ設けられ、前記複数のテストゲート回路にそれぞれ対応する前記テスト信号を入力するための複数のテスト端子を含む、請求項11記載の薄膜磁性体記憶装置。

4

【請求項13】 行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて第1および第2の抵抗値のいずれか一方を有する磁気記憶部を含み、

前記磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において前記第1のデータ書込電流を流すためにアドレス選択結果に応じて選択的に活性化される複数の書込ワード線と、

前記第2のデータ書込電流を流すために前記磁性体メモリセルの列に対応してそれぞれ設けられ、各々が、第1および第2のビット線を含む複数のビット線対とを備え、

前記第1および第2のビット線の各々は、半導体基板上において、前記磁気記憶部を挟んで配置される第1および第2の金属配線層に形成される配線を用いて構成され、

各前記第1のビット線と各第2のビット線との間を電気的に結合するための結合回路をさらに備え、

前記第2のデータ書込電流は、前記結合回路によって電気的に結合された前記第1および第2のビット線を往復する電流として流れる、薄膜磁性体記憶装置。

【請求項14】 前記第1のビット線の各々は、前記第1の金属配線層に形成された配線を有し、

前記第2のビット線の各々は、前記第2の金属配線層に形成された配線を有し、

前記薄膜磁性体記憶装置は、

前記複数のビット線対のうちのアドレス選択結果に応じて選択される1つに含まれる前記第1および第2のビット線の一端を高電位状態および低電位状態の一方ずつに設定するためのデータ書込回路をさらに備え、

前記結合回路は、

前記複数のビット線対に対応してそれぞれ設けられ、各々が、前記データ書込時において、前記第1および第2のビット線の間を電気的に結合するための複数のビット線電流制御回路を含む、請求項13記載の薄膜磁性体記憶装置。

【請求項15】 前記第1および第2のビット線の各々は、メモリアレイ上の所定領域において互いに交差するように、第1および第2の金属配線層を用いて形成され、

各磁性体メモリセルは、前記第1の金属配線層において、前記第1および第2のビット線の間と結合され、前記薄膜磁性体記憶装置は、さらに、

前記第1および第2の抵抗値の中間の抵抗値を有し、各々が前記第1および第2のビット線のいずれかと結合される複数のダミーメモリセルと、

前記複数のダミーメモリセルを選択するための複数のダ

ミー読出ワード線と、

前記複数の第 1 および第 2 のビット線のうちの、選択された前記列に対応する 1 本ずつの電圧差に応じて、読出データのデータレベルを設定するデータ読出回路とを備え、

前記複数の読出ワード線および前記複数のダミー読出ワード線は、行選択結果に応じてデータ読出電流を流すために、第 1 の電圧に設定された前記複数の第 1 および第 2 のビット線と第 2 の電圧との間に、前記磁性体メモリセルおよび前記ダミーメモリセルをそれぞれ電気的に結合する、請求項 13 記載の薄膜磁性体記憶装置。

【請求項 16】 行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、第 1 および第 2 のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有する磁気記憶部を含み、前記磁性体メモリセルの列に対応してそれぞれ設けられ、各々が、前記第 1 のデータ書込電流を流すために設けられる複数のビット線と、

前記磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において前記第 2 のデータ書込電流を流すためにアドレス選択結果に応じて選択的に活性化される複数の書込ワード線とを備え、

各前記書込ワード線は、半導体基板上において、前記磁気記憶部を上下方向に挟んで配置される第 1 および第 2 の金属配線層にそれぞれ形成される、第 1 および第 2 のサブ書込ワード線を含み、

各前記第 1 および第 2 のサブ書込ワード線の間を電気的に結合するための結合回路をさらに備え、

前記第 2 のデータ書込電流は、前記結合回路によって電気的に結合された前記第 1 および第 2 のサブライトワード線を往復する電流として流れる、薄膜磁性体記憶装置。

【請求項 17】 前記薄膜磁性体記憶装置は、さらに、前記複数の書込ワード線に対応してそれぞれ設けられ、行選択結果に応じて、前記複数の書込ワード線のうちの対応する 1 つに含まれる前記第 1 のサブ書込ワード線の一端を第 1 の電圧に設定するための複数の書込ワードドライバを備え、各前記第 2 のサブ書込ワード線の一端は、第 2 の電圧と結合され、

前記結合回路は、

前記第 1 および第 2 のサブ書込ワード線の各々の他端同士の間を結合するための配線を含む、請求項 16 記載の薄膜磁性体記憶装置。

【請求項 18】 前記複数の書込ワードドライバは、所定数の前記行ごとに、前記メモリアレイに行方向に隣接する領域のそれぞれに分割して配置される、請求項 17 記載の薄膜磁性体記憶装置。

【請求項 19】 各前記第 1 および第 2 のサブ書込ワー

ド線の一端は、第 1 および第 2 の電圧とそれぞれ結合され、

前記結合回路は、

前記複数の書込ワード線に対応してそれぞれ設けられ、行選択結果に応じて、前記複数の書込ワード線のうちの対応する 1 つに含まれる前記第 1 および第 2 のサブ書込ワード線の他端の間を電気的に結合するためのスイッチ回路を含む、請求項 16 記載の薄膜磁性体記憶装置。

【請求項 20】 行列状に配置された複数の磁性体メモリセルを含むメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、第 1 および第 2 のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有する磁気記憶部を含み、前記磁性体メモリセルの行に対応して設けられ、データ読出時において、行選択結果に応じて第 1 の電圧に駆動される複数の読出ワード線と、

前記行に対応して設けられ、データ書込時において前記第 1 のデータ書込電流を流すためにアドレス選択結果に応じて選択的に活性化される複数の書込ワード線と、

前記磁性体メモリセルの列に対応して、前記複数の書込ワード線と交差する方向に設けられ、各々が前記磁気記憶部と結合される複数のビット線とを備え、

前記複数のビット線のうちのアドレス選択結果に応じて選択される 1 本は、前記データ読出時およびデータ書込時において、データ読出電流および前記第 2 のデータ書込電流をそれぞれ流し、

各前記磁性体メモリセルは、さらに、

前記磁気記憶部と前記読出ワード線との間に接続される整流素子を含む、薄膜磁性体記憶装置。

【請求項 21】 隣接する前記磁性体メモリセルは、前記複数の書込ワード線のうちの 1 本を共有する、請求項 20 記載の薄膜磁性体記憶装置。

【請求項 22】 各前記書込ワード線は、各前記ビット線よりも大きい断面積を有する、請求項 20 または 21 に記載の薄膜磁性体記憶装置。

【請求項 23】 前記複数の書込ワード線は、前記複数のビット線よりもエレクトロマイグレーション耐性に優れた材質で形成される、請求項 20 記載の薄膜磁性体記憶装置。

【請求項 24】 行列状に配置された複数の磁性体メモリセルを含むメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、第 1 および第 2 のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有する磁気記憶部を含み、

前記磁性体メモリセルの行に対応して設けられ、各々が列方向に隣接する前記磁性体メモリセル間で共有される複数のワード線と、

データ書込時およびデータ読出において、前記第1のデータ書込電流およびデータ読出電流をそれぞれ流すために、前記複数のワード線のうちの行選択結果に応じて選択される1本を活性化するためのワード線ドライバと、前記磁性体メモリセルの列に対応して、前記複数のワード線と交差する方向に設けられ、前記磁気記憶部と結合される複数のビット線とを備え、

前記複数のビット線のうちの列選択結果に応じて選択される1本は、前記データ読出時およびデータ書込時において、前記データ読出電流および前記第2のデータ書込電流をそれぞれ流し、

各前記磁性体メモリセルは、さらに、

前記磁気記憶部と前記ワード線との間に接続される整流素子を含む、薄膜磁性体記憶装置。

【請求項25】 各前記ワード線は、各前記ビット線よりも大きい断面積を有する、請求項24記載の薄膜磁性体記憶装置。

【請求項26】 前記複数のワード線は、前記複数のビット線よりもエレクトロマイグレーション耐性の大きい材質で形成される、請求項24記載の薄膜磁性体記憶装置。

【請求項27】 行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、前記複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有する磁気記憶部と、

データ読出時において前記磁気記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、

前記磁性体メモリセルの行に対応してそれぞれ設けられ、データ読出時において、アドレス選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読出ワード線と、

前記磁性体メモリセルの列に対応してそれぞれ設けられ、データ書込時において前記第1のデータ書込電流を流すためにアドレス選択結果に応じて選択的に活性状態に駆動される複数の書込ワード線と、

前記行に対応してそれぞれ設けられ、前記データ書込時において前記第2のデータ書込電流を流すための複数の書込データ線と、

前記列に対応してそれぞれ設けられ、前記データ読出時において前記データ読出電流を流すための複数の読出データ線とを備え、

隣接する前記磁性体メモリセルは、前記複数の書込ワード線、前記複数の読出ワード線および前記複数のデータ線のうちの少なくとも1つのうちの対応する1本を共有する、薄膜磁性体記憶装置。

【請求項28】 前記複数の読出データ線の各々は、対応する前記行に属する複数の前記磁気記憶部の各々と、

各前記メモリセル選択ゲートを介して電氣的に結合される、請求項27記載の薄膜磁性体記憶装置。

【請求項29】 前記隣接する磁性体メモリセルは、対応する前記書込ワード線および前記書込データ線のうちの前記磁気記憶部からより遠い一方を共有し、前記書込ワード線および前記書込データ線のうちの前記一方は、対応する前記書込ワード線および前記書込データ線のうちの他方よりも大きい断面積を有する、請求項27または28に記載の薄膜磁性体記憶装置。

10 【請求項30】 前記書込ワード線および前記書込データ線のうちの前記磁気記憶部からより遠い一方は、前記書込ワード線および前記書込データ線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される、請求項27または28記載の薄膜磁性体記憶装置。

【請求項31】 前記複数の読出データ線のうちの2本ずつは、前記データ読出時において読出データ線対を構成し、

同一の前記読出ワード線によって選択される複数の前記磁性体メモリセルは、前記読出データ線対を構成する2本の読出データ線的一方ずつとそれぞれ接続され、前記データ読出電流は、列選択結果に対応する前記読出データ線対を構成する2本の読出データ線の各々に対して供給される、請求項27または28に記載の薄膜磁性体記憶装置。

【請求項32】 前記複数の書込データ線のうちの2本ずつは、前記データ書込時において書込データ線対を構成し、

同一の前記書込ワード線によって選択される複数の前記磁性体メモリセルは、前記書込データ線対を構成する2本の書込データ線的一方ずつとそれぞれ接続され、前記薄膜磁性体記憶装置は、

アドレス選択結果に応じて選択される前記書込データ線対を構成する2本の書込データ線を高電位状態および低電位状態的一方ずつに設定するためのデータ書込制御回路と、

前記データ書込時において、各前記書込データ線対を構成する2本の書込データ線の間を短絡するための短絡回路とをさらに備える、請求項27または28に記載の薄膜磁性体記憶装置。

【請求項33】 前記複数の読出データ線のうちの2本ずつは、前記データ読出時において読出データ線対を構成し、

同一の前記読出ワード線によって選択される複数の前記磁性体メモリセルは、前記読出データ線対を構成する2本の読出データ線的一方ずつとそれぞれ接続され、前記データ読出電流は、列選択結果に対応する前記読出データ線対を構成する2本の読出データ線の各々に対して供給され、

50 前記複数の書込データ線のうちの2本ずつは、前記デー

タ書込時において書込データ線対を構成し、
前記データ書込時において同一の前記共通配線によって
選択される複数の前記磁性体メモリセルは、前記書込
データ線対を構成する 2 本の書込データ線的一方ずつと
それぞれ接続され、
前記薄膜磁性体記憶装置は、
アドレス選択結果に応じて選択される前記書込データ線
対を構成する 2 本の書込データ線を高電位状態および低
電位状態的一方ずつに設定するためのデータ書込制御回
路と、
前記データ書込時において、各前記書込データ線対を構
成する 2 本の書込データ線の間を短絡するための短絡回
路とをさらに備える、請求項 2 7 または 2 8 に記載の薄
膜磁性体記憶装置。

【請求項 3 4】 前記複数の読出データ線は、前記デー
タ読出の実行前において第 1 の電圧に設定され、
前記複数の読出データ線は、前記データ書込時におい
て、前記第 1 の電圧に設定される、請求項 2 7 または 2
8 に記載の薄膜磁性体記憶装置。

【請求項 3 5】 行列状に配置された複数の磁性体メモ
リセルを有するメモリアレイを備え、
前記複数の磁性体メモリセルの各々は、
第 1 および第 2 のデータ書込電流によって印可されるデ
ータ書込磁界が所定磁界よりも大きい場合に書込まれる
記憶データのレベルに応じて異なる抵抗値を有する磁気
記憶部と、
データ読出時において前記記憶部にデータ読出電流を通
過させるためのメモリセル選択ゲートとを含み、
前記磁性体メモリセルの行に対応してそれぞれ設けら
れ、データ読出時において、アドレス選択結果に応じて
対応する前記メモリセル選択ゲートを作動させるための
複数の読出ワード線と、
前記行に対応してそれぞれ設けられ、前記データ書込時
において前記第 1 のデータ書込電流を流すための複数の
書込データ線と、
前記列に対応してそれぞれ設けられる複数の共通配線と
を備え、
前記複数の共通配線の各々は、前記データ読出時におい
て、前記アドレス選択結果に応じて前記データ読出電流
の供給を選択的に受け、
前記複数の共通配線の各々は、前記データ書込時におい
て、前記アドレス選択結果に応じて、前記第 2 のデータ
書込電流を流すために第 1 の電圧に選択的に駆動され、
第 1 の電圧とは異なる第 2 の電圧と各前記共通配線との
間を、前記データ書込時および前記データ読出時のそれ
ぞれにおいて結合および遮断する電流制御回路をさらに
備え、
隣接する前記磁性体メモリセルは、前記複数の書込ワー
ド線、前記複数の読出ワード線および前記複数のデータ
線のうちの少なくとも 1 つのうちの対応する 1 本を共有

する、薄膜磁性体記憶装置。

【請求項 3 6】 前記複数の共通配線の各々は、対応す
る前記行に属する複数の前記記憶部の各々と各前記メモ
リセル選択ゲートを介して電氣的に結合される、請求項
3 5 に記載の薄膜磁性体記憶装置。

【請求項 3 7】 前記隣接する磁性体メモリセルは、対
応する前記共通配線および前記書込データ線のうちの前
記磁気記憶部からより遠い一方を共有し、

前記共通配線および前記書込データ線のうちの前記一方
は、前記共通配線および前記書込データ線のうちの他方
よりも大きい断面積を有する、請求項 3 5 または 3 6 に
記載の薄膜磁性体記憶装置。

【請求項 3 8】 前記共通配線および前記書込データ線
のうちの前記磁気記憶部からより遠い一方は、前記共通
配線線および前記書込データ線のうちの他方よりも、エ
レクトロマイグレーション耐性の大きい材質で形成され
る、請求項 3 5 または 3 6 に記載の薄膜磁性体記憶装置。

【請求項 3 9】 前記複数の共通配線のうちの 2 本ずつ
は、前記データ読出時において読出データ線対を構成
し、

同一の前記読出ワード線によって選択される複数の前
記磁性体メモリセルは、前記読出データ線対を構成する
2 本の共通配線的一方ずつとそれぞれ接続され、
前記データ読出電流は、列選択結果に対応する前記読出
データ線対を構成する 2 本の共通配線の各々に対して供
給される、請求項 3 5 または 3 6 に記載の薄膜磁性体記
憶装置。

【請求項 4 0】 前記複数の書込データ線のうちの 2 本
ずつは、前記データ書込時において書込データ線対を構
成し、

前記データ書込時において同一の前記共通配線によって
選択される複数の前記磁性体メモリセルは、前記書込
データ線対を構成する 2 本の書込データ線的一方ずつと
それぞれ接続され、

前記薄膜磁性体記憶装置は、

アドレス選択結果に応じて選択される前記書込データ線
対を構成する 2 本の書込データ線を高電位状態および低
電位状態的一方ずつに設定するためのデータ書込制御回
路と、

前記データ書込時において、各前記書込データ線対を構
成する 2 本の書込データ線の間を短絡するための短絡回
路とをさらに備える、請求項 3 5 または 3 6 に記載の薄
膜磁性体記憶装置。

【請求項 4 1】 前記複数の共通配線のうちの 2 本ずつ
は、前記データ読出時において読出データ線対を構成
し、

同一の前記読出ワード線によって選択される複数の前
記磁性体メモリセルは、前記読出データ線対を構成する
2 本の共通配線的一方ずつとそれぞれ接続され、
前記データ読出電流は、列選択結果に対応する前記読出

データ線対を構成する 2 本の共通配線の各々に対して供給され、

前記複数の書込データ線のうちの 2 本ずつは、前記データ書込時において書込データ線対を構成し、

前記データ書込時において同一の前記共通配線によって選択される複数の前記磁性体メモリセルは、前記書込データ線対を構成する 2 本の書込データ線の一方ずつとそれぞれ接続され、

前記薄膜磁性体記憶装置は、

アドレス選択結果に応じて選択される前記書込データ線対を構成する 2 本の書込データ線を高電位状態および低電位状態の一方ずつに設定するためのデータ書込制御回路と、

前記データ書込時において、各前記書込データ線対を構成する 2 本の書込データ線の間を短絡するための短絡回路とをさらに備える、請求項 35 または 36 に記載の薄膜磁性体記憶装置。

【請求項 42】 前記共通配線は、前記データ読出の実行前において前記第 2 の電圧にプリチャージされ、前記データ書込時において、前記アドレス選択の結果非選択であった前記共通配線は、前記第 2 の電圧に設定される、請求項 35 または 36 に記載の薄膜磁性体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、薄膜磁性体記憶装置に関し、より特定的には、磁気トンネル接合 (MTJ : Magnetic Tunneling Junction) を有するメモリセルを備えたランダムアクセスメモリに関する。

【0002】

【従来の技術】低消費電力で不揮発的なデータの記憶が可能な記憶装置として、MRAM (Magnetic Random Access Memory) デバイスが注目されている。MRAM デバイスは、半導体集積回路に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行ない、薄膜磁性体の各々に対してランダムアクセスが可能な記憶装置である。

【0003】特に、近年では磁気トンネル接合 (MTJ : Magnetic Tunnel Junction) を利用した薄膜磁性体をメモリセルとして用いることによって、MRAM 装置の性能が飛躍的に進歩することが発表されている。磁気トンネル接合を有するメモリセルを備えた MRAM デバイスについては、“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”, ISSCC Digest of Technical Papers, TA7.2, Feb. 2000. および “Nonvolatile RAM based on Magnetic Tunnel Junction Elements”, ISSCC Digest of Technical Papers, TA7.3, Feb. 2000. 等の技術文献に開示されている。

【0004】図 83 は、磁気トンネル接合部を有するメ

モリセル (以下、単に「MTJ メモリセル」とも称する) の構成を示す概略図である。

【0005】図 83 を参照して、MTJ メモリセルは、記憶データのデータレベルに応じて抵抗値が変化する磁気トンネル接合部 MTJ と、アクセストランジスタ ATR とを備える。アクセストランジスタ ATR は、電界効果トランジスタで形成され、磁気トンネル接合部 MTJ と接地電圧 V_{ss} との間に結合される。

【0006】MTJ メモリセルに対しては、データ書込を指示するためのライトワード線 WWL と、データ読出を指示するためのリードワード線 RWL と、データ読出時およびデータ書込時において記憶データのレベルに対応した電気信号を伝達するためのデータ線であるビット線 BL とが配置される。

【0007】図 84 は、MTJ メモリセルからのデータ読出動作を説明する概念図である。図 84 を参照して、磁気トンネル接合部 MTJ は、一定方向の固定磁界を有する磁性体層 (以下、単に「固定磁気層」とも称する) FL と、自由磁界を有する磁性体層 (以下、単に「自由磁気層」とも称する) VL とを有する。固定磁気層 FL および自由磁気層 VL との間には、絶縁体膜で形成されるトンネルバリア TB が配置される。自由磁気層 VL においては、記憶データのレベルに応じて、固定磁気層 FL と同一方向の磁界および固定磁気層 FL と異なる方向の磁界のいずれか一方が不揮発的に書込まれている。

【0008】データ読出時においては、アクセストランジスタ ATR がリードワード線 RWL の活性化に応じてターンオンされる。これにより、ビット線 BL ~ 磁気トンネル接合部 MTJ ~ アクセストランジスタ ATR ~ 接地電圧 V_{ss} の電流経路に、図示しない制御回路から一定電流として供給されるセンス電流 I_s が流れる。

【0009】磁気トンネル接合部 MTJ の抵抗値は、固定磁気層 FL と自由磁気層 VL との間の磁界方向の相対関係に応じて変化する。具体的には、固定磁気層 FL の磁界方向と自由磁気層 VL に書込まれた磁界方向とが同一である場合には、両者の磁界方向が異なる場合に比べて磁気トンネル接合部 MTJ の抵抗値は小さくなる。

【0010】したがって、データ読出時においては、センス電流 I_s によって磁気トンネル接合部 MTJ で生じる電圧変化は、自由磁気層 VL に記憶された磁界方向に応じて異なる。これにより、ビット線 BL を一旦高電圧にプリチャージした状態とした後にセンス電流 I_s の供給を開始すれば、ビット線 BL の電圧レベル変化の監視によって MTJ メモリセルの記憶データのレベルを読むことができる。

【0011】図 85 は、MTJ メモリセルに対するデータ書込動作を説明する概念図である。

【0012】図 85 を参照して、データ書込時においては、リードワード線 RWL は非活性化され、アクセストランジスタ ATR はターンオフされる。この状態で、自

由磁気層VLに磁界を書込むためのデータ書込電流がライトワード線WWLおよびビット線BLにそれぞれ流される。自由磁気層VLの磁界方向は、ライトワード線WWLおよびビット線BLをそれぞれ流れるデータ書込電流の向きの組合せによって決定される。

【0013】図86は、データ書込時におけるデータ書込電流の方向と磁界方向との関係を説明する概念図である。

【0014】図86を参照して、横軸で示される磁界 H_x は、ライトワード線WWLを流れるデータ書込電流によって生じる磁界 $H(WWL)$ の方向を示す。一方、縦軸に示される磁界 H_y は、ビット線BLを流れるデータ書込電流によって生じる磁界 $H(BL)$ の方向を示す。

【0015】自由磁気層VLに記憶される磁界方向は、磁界 $H(WWL)$ と $H(BL)$ との和が図中に示されるアステロイド特性線の外側の領域に達する場合においてのみ、新たに書込まれる。すなわち、アステロイド特性線の内側の領域に相当する磁界が印加された場合においては、自由磁気層VLに記憶される磁界方向は更新されない。

【0016】したがって、磁気トンネル接合部MTJの記憶データを書込動作によって更新するためには、ライトワード線WWLとビット線BLとの両方に電流を流す必要がある。磁気トンネル接合部MTJに一旦記憶された磁界方向すなわち記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。

【0017】データ読出動作時においても、ビット線BLにはセンス電流 I_s が流れる。しかし、センス電流 I_s は一般的に、上述したデータ書込電流よりは1～2桁程度小さくなるように設定されるので、センス電流 I_s の影響によりデータ読出時においてMTJメモリの記憶データが誤って書換えられる可能性は小さい。

【0018】上述した技術文献においては、このようなMTJメモリセルを半導体基板上に集積して、ランダムアクセスメモリであるMRAMデバイスを構成する技術が開示されている。

【0019】図87は、行列状に集積配置されたMTJメモリセルを示す概念図である。図87を参照して、半導体基板上に、MTJメモリセルを行列状に配置することによって、高集積化されたMRAMデバイスを実現することができる。図85においては、MTJメモリセルを n 行 \times m 列(n, m :自然数)に配置する場合が示される。

【0020】既に説明したように、各MTJメモリセルに対して、ビット線BL、ライトワード線WWLおよびリードワード線RWLを配置する必要がある。したがって、行列状に配された $n \times m$ 個のMTJメモリセルに対して、 n 本のライトワード線WWL1～WWLnおよびリードワード線RWL1～RWLnと、 m 本のビット線BL1～BLmとを配置する必要がある。

【0021】このように、MTJメモリセルに対しては、読出動作と書込動作とのそれぞれに対応して独立したワード線を設ける構成が一般的である。

【0022】図88は、半導体基板上に配置されたMTJメモリセルの構造図である。図88を参照して、半導体主基板SUB上のp型領域PARにアクセストランジスタATRが形成される。アクセストランジスタATRは、n型領域であるソース/ドレイン領域110、120とゲート130とを有する。ソース/ドレイン領域110は、第1の金属配線層M1に形成された金属配線を介して接地電圧 V_{ss} と結合される。ライトワード線WWLには、第2の金属配線層M2に形成された金属配線が用いられる。また、ビット線BLは第3の金属配線層M3に設けられる。

【0023】磁気トンネル接合部MTJは、ライトワード線WWLが設けられる第2の金属配線層M2とビット線BLが設けられる第3の金属配線層M3との間に配置される。アクセストランジスタATRのソース/ドレイン領域120は、コンタクトホールに形成された金属膜150と、第1および第2の金属配線層M1およびM2と、バリアメタル140とを介して、磁気トンネル接合部MTJと電気的に結合される。バリアメタル140は、磁気トンネル接合部MTJと金属配線との間を電気的に結合するために設けられる緩衝材である。

【0024】既に説明したように、MTJメモリセルにおいては、リードワード線RWLはライトワード線WWLとは独立の配線として設けられる。また、ライトワード線WWLおよびビット線BLは、データ書込時において所定値以上の大きさの磁界を発生させるためのデータ書込電流を流す必要がある。したがって、ビット線BLおよびライトワード線WWLは金属配線を用いて形成される。

【0025】一方、リードワード線RWLは、アクセストランジスタATRのゲート電圧を制御するために設けられるものであり、電流を積極的に流す必要はない。したがって、集積度を高める観点から、リードワード線RWLは、独立した金属配線層を新たに設けることなく、ゲート130と同一の配線層において、ポリシリコン層やポリサイド構造などを用いて形成される。

【0026】

【発明が解決しようとする課題】しかしながら、図84で説明したように、MTJメモリセルに対するデータ読出は、抵抗体として作用する磁気トンネル接合部MTJにセンス電流(図84における I_s)を流すことで生じる電圧変化に基いて実行される。したがって、センス電流経路のRC定数が大きい場合にはこの電圧変化を速やかに生じさせることができず、データ読出動作の高速化が困難になってしまう。

【0027】また、図86に示したように、データ書込は、しきい値として与えられるアステロイド特性線対

する磁界の大小に応じて実行されるので、メモリセルの製造時におけるアストロイド特性線のばらつきがメモリセルへの書込マージンのばらつきに直結してしまうという問題点も生じる。

【0028】図89は、製造ばらつきがデータ書込マージンに与える影響を説明するための概念図である。

【0029】図89を参照して、アストロイド特性線の設計値は、図中において符号ASdで示される。ここで、MRAMデバイスの製造時ばらつきによって、メモリセルのアストロイド特性線が、符号ASaあるいはASbに示されるように、設計値からずれた場合を考える。

【0030】たとえば、アストロイド特性線ASbを有するMTJメモリセルにおいては、設計値に従うデータ書込電流を流して、データ書込磁界を印可しても、データ書込を行なうことができない。

【0031】一方、アストロイド特性線ASaを有するMTJメモリセルにおいては、設計値よりも小さいデータ書込磁界が印加された場合においても、データ書込が実行されてしまう。この結果、このような特性を有するMTJメモリセルは、磁気ノイズに対して非常に弱くなってしまふ。

【0032】このようなアストロイド特性線の製造ばらつきは、高集積化に伴うメモリセルの小型化に応じてさらに増大する可能性がある。したがって、アストロイド特性線の製造ばらつきを低減する製造技術の開発のみならず、アストロイド特性線の変動に対応して適切なデータ書込マージンを確保するための調整を行なう技術が、製造歩留を確保する上で必要となってくる。

【0033】さらに、図85および図86で説明したように、データ書込時においては、ビット線BLおよびライトワード線WWLに比較的大きなデータ書込電流を流す必要がある。データ書込電流が大きくなると、ビット線BLおよびライトワード線WWLにおける電流密度が上昇し、一般にエレクトロマイグレーションと呼ばれる現象の発生が発生する可能性が生じる。

【0034】この結果、これらの配線において断線等によってエレクトロマイグレーション断線や配線間短絡が発生すると、MRAMデバイスの動作信頼性が損なわれるおそれがある。さらに、データ書込電流が大きくなった場合には、これによって生じる磁気ノイズの影響も無視できなくなるおそれがある。したがって、より小さいデータ書込電流によって、データ書込を実行できる構成とすることが望ましい。

【0035】また、図87および図88で説明したように、MTJメモリセルに対してデータ書込およびデータ読出を実行するために必要とされる配線数が多いことから、MTJメモリセルを集積配置したメモリアレイを小面積化して、MRAMデバイスのチップ面積を削減することが困難である。

【0036】図83に示したMTJメモリセルと比較してさらに高集積化が可能なMTJメモリセルの構造として、アクセストランジスタに代えてPN接合ダイオードをアクセス素子として用いた構成が知られている。

【0037】図90は、ダイオードを用いたMTJメモリセルの構成を示す概略図である。図90を参照して、ダイオードを用いたMTJメモリセルは、磁気トンネル接合部MTJと、アクセスダイオードDMとを備える。アクセスダイオードDMは、磁気トンネル接合部MTJからワード線WLに向かう方向を順方向として、両者の間に結合される。ビット線BLは、ワード線WLと交差する方向に設けられ、磁気トンネル接合部MTJと結合される。

【0038】ダイオードを用いたMTJメモリセルに対するデータ書込は、ワード線WLおよびビット線BLにデータ書込電流を流すことによって行なわれる。データ書込電流の方向は、アクセストランジスタを用いたメモリセルの場合と同様に、書込データのデータレベルに応じて設定される。

【0039】一方、データ読出時においては、選択されたメモリセルに対応するワード線WLは、低電圧（たとえば接地電圧Vss）状態に設定される。このとき、ビット線BLを高電圧（たとえば電源電圧Vcc）状態にプリチャージしておくことによって、アクセスダイオードDMが導通して、センス電流Isを磁気トンネル接合部MTJに流すことができる。一方、非選択のメモリセルに対応するワード線WLは、高電圧状態に設定されるので、対応するアクセスダイオードDMはオフ状態を維持し、センス電流Isは流れない。

【0040】このようにして、アクセスダイオードを用いたMTJメモリセルにおいても、データ読出およびデータ書込を実行することができる。

【0041】図91は、図90に示されたMTJメモリセルを半導体基板上に配置した場合の構造図である。

【0042】図91を参照して、半導体主基板SUB上のN型ウェルNWLと、N型ウェルNWL上に設けられたP型領域PRAとによってアクセスダイオードDMが形成される。

【0043】アクセスダイオードDMのカソードに相当するN型ウェルNWLは、金属配線層M1に配置されたワード線WLと結合される。アクセスダイオードDMのアノードに相当するP型領域PRAは、バリアメタル140および金属膜150を介して、磁気トンネル接合部MTJと電気的に結合される。ビット線BLは、金属配線層M2に配置され、磁気トンネル接合部MTJと結合される。このように、アクセストランジスタに代えてアクセスダイオードを用いることによって、高集積化に有利なMTJメモリセルを構成することができる。

【0044】しかしながら、データ書込時において、ワード線WLおよびビット線BLにはデータ書込電流が流

10

20

30

40

50

れるため、これらの配線においてデータ書込電流に電圧降下がそれぞれ発生する。このような電圧降下が生じた結果、ワード線WLおよびビット線BLにおける電圧分布によっては、データ書込の対象となっていないMTJメモリセルの一部において、アクセスダイオードDMのPN接合がオンしてしまうおそれがある。この結果、予期しない電流がMTJメモリセルを流れることによって、誤ったデータ書込が実行されてしまうおそれがある。

【0045】このように、アクセスダイオードを用いた従来のMTJメモリセルは、高集積化に有利である反面、データ書込動作が不安定化するという問題点を有していた。

【0046】この発明は、これらの問題点を解決するためになされたものであって、この発明の第1の目的は、MTJメモリセルを備えるMRAMデバイスにおいて、データ読出の高速化を図ることである。

【0047】この発明の第2の目的は、MTJメモリセルを備えるMRAMデバイスにおいて、製造ばらつきに起因する磁気特性の変動を補償して所定のデータ書込マージンを確保するための、データ書込電流量の調整を容易に実行可能な構成を提供することである。

【0048】この発明の第3の目的は、MTJメモリセルを備えるMRAMデバイスにおいて、データ書込電流を低減することによって、動作信頼性の向上と磁気ノイズの抑制を図ることである。

【0049】この発明の第4の目的は、高集積化が可能で動作信頼性の高いMTJメモリセルの構成を提供することである。

【0050】この発明の第5の目的は、アレイ状に配置されたMTJメモリセルを備えるMRAMデバイスにおいて、レイアウトの自由度向上およびメモリアレイ全体に必要な配線数の削減を図ることによって、チップ面積の抑制を図ることである。

【0051】

【課題を解決するための手段】請求項1記載の薄膜磁性体記憶装置は、行列状に配置される、各々が記憶データのレベルに応じて第1および第2の抵抗値のいずれか一方を有する複数の磁性体メモリセルを含むメモリアレイと、磁性体メモリセルの列に対応してそれぞれ設けられる複数の第1のビット線と、磁性体メモリセルの行に対応してそれぞれ設けられ、第1の電圧に設定された複数の第1のビット線と第2の電圧との間に、アドレス選択された行に対応する磁性体メモリセルをそれぞれ電気的に結合して、磁性体メモリセルにデータ読出電流を通過させるための複数の読出ワード線と、読出データを伝達するための第1の読出データ線と、複数の第1のビット線のうちのアドレス選択された列に対応する1本の電圧に応じて、第1の読出データ線の電圧を設定するための読出ゲート回路と、第1の読出データ線の電圧に応じ

て、読出データのデータレベルを設定するデータ読出回路とを備える。

【0052】請求項2記載の薄膜磁性体記憶装置は、請求項1記載の薄膜磁性体記憶装置であって、データ読出時において、複数の第1のビット線を第1の電圧と結合するためのプルアップ回路をさらに備える。

【0053】請求項3記載の薄膜磁性体記憶装置は、請求項2記載の薄膜磁性体記憶装置であって、データ読出時において、アドレス選択された列に対応する第1のビット線とプルアップ回路とを電気的に結合するための選択回路をさらに備える。

【0054】請求項4記載の薄膜磁性体記憶装置は、請求項3記載の薄膜磁性体記憶装置であって、記憶データを磁性体メモリセルに書込むためのデータ書込電流を供給するデータ書込電流供給回路と、データ書込電流を伝達するための書込データ線と、データ書込時およびデータ読出時のそれぞれにおいて、データ書込電流供給回路およびプルアップ回路と書込データ線とをそれぞれ結合するためのスイッチ回路とをさらに備える。選択回路は、書込データ線と複数の第1のビット線との間にそれぞれ配置される複数のコラム選択ゲートを含み、複数のコラム選択ゲートのうちのアドレス選択された列に対応する1つは、データ書込時およびデータ読出時の両方においてオンする。

【0055】請求項5記載の薄膜磁性体記憶装置は、請求項1記載の薄膜磁性体記憶装置であって、データ読出前において、複数の第1のビット線を第1の電圧にプリチャージするためのプリチャージ回路をさらに備える。データ読出回路は、入力ノードの電圧と所定電圧との電圧差を増幅して出力する電圧増幅回路と、アドレス選択された列に対応する第1のビット線の電圧を、所定のタイミングにおいて入力ノードに伝達するためのゲート回路と、所定のタイミングにおいて、電圧増幅回路の出力をラッチして読出データを生成するラッチ回路とを含む。

【0056】請求項6記載の薄膜磁性体記憶装置は、請求項1記載の薄膜磁性体記憶装置であって、複数の第1のビット線と階層的に設けられ、データ読出時において、選択された列に対応する第1のビット線と選択的に結合される第2の読出データ線をさらに備える。読出ゲート回路は、第1の読出データ線と第2の電圧との間に、第2の読出データ線の電圧に応じた電流経路を形成するための電流制御回路を有する。

【0057】請求項7記載の薄膜磁性体記憶装置は、請求項1記載の薄膜磁性体記憶装置であって、読出ゲート回路は、磁性体メモリセルの列に対応してそれぞれ設けられ、各々が第1の読出データ線と第2の電圧との間に、複数の第1のビット線のうちの対応する1本の電圧に応じた電流経路を形成するための複数の電流制御回路を有する。

【0058】請求項8記載の薄膜磁性体記憶装置は、請求項1記載の薄膜磁性体記憶装置であって、複数の第1のビット線のそれぞれの相補ビット線として設けられる複数の第2のビット線と、第1の読出データ線の相補データ線として設けられる第2の読出データ線と、第1および第2の抵抗値の中間の抵抗値を有し、各々が第1および第2のビット線のいずれかと結合される複数のダミーメモリセルと、複数のダミーメモリセルを選択するための複数のダミー読出ワード線とをさらに備える。複数の読出ワード線は、データ読出時において、第1の電圧に設定された複数の第1および第2のビット線の一方と第2の電圧との間に、選択された行に対応する磁性体メモリセルをそれぞれ電気的に結合し、複数のダミー読出ワード線は、データ読出時において、第1の電圧に設定された複数の第1および第2のビット線の他方と第2の電圧との間に、ダミーメモリセルをそれぞれ電気的に結合する。読出ゲート回路は、複数の第1および第2のビット線のうちの選択された列に対応する1本ずつの電圧レベルに応じて、第1および第2の読出データ線の電圧レベルを設定する。データ読出回路は、第1および第2の読出データ線間の電圧差に応じて、読出データのデータレベルを設定する。

【0059】請求項9記載の薄膜磁性体記憶装置は、通常動作モードとテストモードとを有する薄膜磁性体記憶装置であって、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有し、磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において行選択結果に応じて選択的に活性化される複数の書込ワード線と、活性化された複数のワード線に対して、第1の制御ノードの電圧レベルに応じた電流量の第1のデータ書込電流を供給するための書込ワード線ドライバと、データ書込時において、第2の制御ノードの電圧レベルに応じた電流量の第2のデータ書込電流を供給するためのデータ書込回路と、磁性体メモリセルの列に対応してそれぞれ設けられ、データ書込時において、列選択結果に応じてデータ書込制御回路と選択的に接続される複数のビット線とを備え、書込ワード線およびデータ書込回路の少なくとも一方は、テストモード時において、第1および第2の制御ノードの対応する一方の電圧レベルを外部から設定するための入力端子を有する。

【0060】請求項10記載の薄膜磁性体記憶装置は、請求項9記載の薄膜磁性体記憶装置であって、入力端子は、テストモード時において、第1および第2の制御ノードの対応する一方と電気的に結合される、外部から所定電圧を入力可能な基準電圧入力端子を含む。

【0061】請求項11記載の薄膜磁性体記憶装置は、

請求項9記載の薄膜磁性体記憶装置であって、書込ワード線およびデータ書込回路の少なくとも一方は、第1および第2の制御ノードの対応する一方に基準電圧を生成するための基準電圧調整回路を含み、基準電圧調整回路は、外部からのブロー入力に応じて、第1の状態から第2の状態に不揮発的に変化する複数のプログラム素子と、各プログラム素子の状態の組み合わせに応じて、基準電圧の電圧レベルを設定する電圧調整部とを有する。

【0062】請求項12記載の薄膜磁性体記憶装置は、請求項11記載の薄膜磁性体記憶装置であって、基準電圧調整回路は、複数のプログラム素子に対応してそれぞれ設けられ、各々が外部からのテスト信号に応じて、対応するプログラム素子が第2の状態に遷移した場合と同様の電気的接続状態を形成するための複数のテストゲート回路とを含み、入力端子は、複数のテストゲート回路に対応してそれぞれ設けられ、複数のテストゲート回路にそれぞれ対応するテスト信号を入力するための複数のテスト端子を含む。

【0063】請求項13記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて第1および第2の抵抗値のいずれか一方を有する磁気記憶部を含み、磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において第1のデータ書込電流を流すためにアドレス選択結果に応じて選択的に活性化される複数の書込ワード線と、第2のデータ書込電流を流すために磁性体メモリセルの列に対応してそれぞれ設けられ、各々が、第1および第2のビット線を含む複数のビット線対とを備え、第1および第2のビット線の各々は、半導体基板上において、磁気記憶部を挟んで配置される第1および第2の金属配線層に形成される配線を用いて構成され、各第1のビット線と各第2のビット線との間を電気的に結合するための結合回路をさらに備え、第2のデータ書込電流は、結合回路によって電気的に結合された第1および第2のビット線を往復する電流として流れる。

【0064】請求項14記載の薄膜磁性体記憶装置は、請求項13記載の薄膜磁性体記憶装置であって、第1のビット線の各々は、第1の金属配線層に形成された配線を有し、第2のビット線の各々は、第2の金属配線層に形成された配線を有し、薄膜磁性体記憶装置は、複数のビット線対のうちのアドレス選択結果に応じて選択される1つに含まれる第1および第2のビット線の一端を高電位状態および低電位状態の一方ずつに設定するためのデータ書込回路をさらに備え、結合回路は、複数のビット線対に対応してそれぞれ設けられ、各々が、データ書込時において、第1および第2のビット線の他端間を電気的に結合するための複数のビット線電流制御回路を含

む。

【0065】請求項15記載の薄膜磁性体記憶装置は、請求項13記載の薄膜磁性体記憶装置であって、第1および第2のビット線の各々は、メモリアレイ上の所定領域において互いに交差するように、第1および第2の金属配線層を用いて形成され、各磁性体メモリセルは、第1の金属配線層において、第1および第2のビット線の一方と結合される。薄膜磁性体記憶装置は、さらに、第1および第2の抵抗値の中間の抵抗値を有し、各々が第1および第2のビット線のいずれかと結合される複数の

【0066】請求項16記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有する磁気記憶部を含み、磁性体メモリセルの列に対応してそれぞれ設けられ、各々が、第1のデータ書込電流を流すために設けられる複数のビット線と、磁性体メモリセルの行に対応してそれぞれ設けられ、データ書込時において第2のデータ書込電流を流すためにアドレス選択結果に応じて選択的に活性化される複数の書込ワード線とを備え、各書込ワード線は、半導体基板上において、磁気記憶部を上下方向に挟んで配置される第1および第2の金属配線層にそれぞれ形成される、第1および第2のサブ書込ワード線を含み、各第1および第2のサブ書込ワード線の間を電気的に結合するための結合回路をさらに備え、第2のデータ書込電流は、結合回路によって電気的に結合された第1および第2のサブワード線を往復する電流として流れる。

【0067】請求項17記載の薄膜磁性体記憶装置は、請求項16記載の薄膜磁性体記憶装置であって、複数の書込ワード線に対応してそれぞれ設けられ、行選択結果に応じて、複数の書込ワード線のうちの対応する1つに含まれる第1のサブ書込ワード線の一端を第1の電圧に設定するための複数の書込ワードドライバを備え、各第2のサブ書込ワード線の一端は、第2の電圧と結合され、結合回路は、第1および第2のサブ書込ワード線の各々の他端同士の間を結合するための配線を含む。

【0068】請求項18記載の薄膜磁性体記憶装置は、

請求項17記載の薄膜磁性体記憶装置であって、複数の書込ワードドライバは、所定数の行ごとに、メモリアレイに行方向に隣接する領域のそれぞれに分割して配置される。

【0069】請求項19記載の薄膜磁性体記憶装置は、請求項16記載の薄膜磁性体記憶装置であって、各第1および第2のサブ書込ワード線の一端は、第1および第2の電圧とそれぞれ結合され、結合回路は、複数の書込ワード線に対応してそれぞれ設けられ、行選択結果に応じて、複数の書込ワード線のうちの対応する1つに含まれる第1および第2のサブ書込ワード線の間を電気的に結合するためのスイッチ回路を含む。

【0070】請求項20記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを含むメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有する磁気記憶部を含み、磁性体メモリセルの行に対応して設けられ、データ読出時において、行選択結果に応じて第1の電圧に駆動される複数の読出ワード線と、行に対応して設けられ、データ書込時において第1のデータ書込電流を流すためにアドレス選択結果に応じて選択的に活性化される複数の書込ワード線と、磁性体メモリセルの列に対応して、複数の書込ワード線と交差する方向に設けられ、各々が磁気記憶部と結合される複数のビット線とを備え、複数のビット線のうちのアドレス選択結果に応じて選択される1本は、データ読出時およびデータ書込時において、データ読出電流および第2のデータ書込電流をそれぞれ流し、各磁性体メモリセルは、さらに、磁気記憶部と読出ワード線との間に接続される整流素子を含む。

【0071】請求項21記載の薄膜磁性体記憶装置は、請求項20記載の薄膜磁性体記憶装置であって、隣接する磁性体メモリセルは、複数の書込ワード線のうちの1本を共有する。

【0072】請求項22記載の薄膜磁性体記憶装置は、請求項20または21に記載の薄膜磁性体記憶装置であって、各書込ワード線は、各ビット線よりも大きい断面積を有する。

【0073】請求項23記載の薄膜磁性体記憶装置は、請求項20記載の薄膜磁性体記憶装置であって、複数の書込ワード線は、複数のビット線よりもエレクトロマイグレーション耐性に優れた材質で形成される。

【0074】請求項24記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを含むメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有する磁気記

10

20

30

40

50

憶部を含み、磁性体メモリセルの行に対応して設けられ、各々が列方向に隣接する磁性体メモリセル間で共有される複数のワード線と、データ書込時およびデータ読出において、第1のデータ書込電流およびデータ読出電流をそれぞれ流すために、複数のワード線のうちの行選択結果に応じて選択される1本を活性化するためのワード線ドライバと、磁性体メモリセルの列に対応して、複数のワード線と交差する方向に設けられ、磁気記憶部と結合される複数のビット線とを備え、複数のビット線のうちの列選択結果に応じて選択される1本は、データ読出時およびデータ書込時において、データ読出電流および第2のデータ書込電流をそれぞれ流し、各磁性体メモリセルは、さらに、磁気記憶部とワード線との間に接続される整流素子を含む。

【0075】請求項25記載の薄膜磁性体記憶装置は、請求項24記載の薄膜磁性体記憶装置であって、各ワード線は、各ビット線よりも大きい断面積を有する。

【0076】請求項26記載の薄膜磁性体記憶装置は、請求項24記載の薄膜磁性体記憶装置であって、複数のワード線は、複数のビット線よりもエレクトロマイグレーション耐性の大きい材質で形成される。

【0077】請求項27記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有する磁気記憶部と、データ読出時において磁気記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応してそれぞれ設けられ、データ読出時において、アドレス選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読出ワード線と、磁性体メモリセルの列に対応してそれぞれ設けられ、データ書込時において第1のデータ書込電流を流すためにアドレス選択結果に応じて選択的に活性状態に駆動される複数の書込ワード線と、行に対応してそれぞれ設けられ、データ書込時において第2のデータ書込電流を流すための複数の書込データ線と、列に対応してそれぞれ設けられ、データ読出時においてデータ読出電流を流すための複数の読出データ線とを備え、隣接する磁性体メモリセルは、複数の書込ワード線、複数の読出ワード線および複数のデータ線のうちの少なくとも1つのうちの対応する1本を共有する。

【0078】請求項28記載の薄膜磁性体記憶装置は、請求項27記載の薄膜磁性体記憶装置であって、複数の読出データ線の各々は、対応する行に属する複数の磁気記憶部の各々と、各メモリセル選択ゲートを介して電気的に結合される。

【0079】請求項29記載の薄膜磁性体記憶装置は、請求項27または28に記載の薄膜磁性体記憶装置であ

って、隣接する磁性体メモリセルは、対応する書込ワード線および書込データ線のうちの磁気記憶部からより遠い一方を共有し、書込ワード線および書込データ線のうちの一方は、対応する書込ワード線および書込データ線のうちの他方よりも大きい断面積を有する。

【0080】請求項30記載の薄膜磁性体記憶装置は、請求項27または28記載の薄膜磁性体記憶装置であって、書込ワード線および書込データ線のうちの磁気記憶部からより遠い一方は、書込ワード線および書込データ線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される。

【0081】請求項31記載の薄膜磁性体記憶装置は、請求項27または28に記載の薄膜磁性体記憶装置であって、複数の読出データ線のうちの2本ずつは、データ読出時において読出データ線対を構成し、同一の読出ワード線によって選択される複数個の磁性体メモリセルは、読出データ線対を構成する2本の読出データ線の一方ずつとそれぞれ接続され、データ読出電流は、列選択結果に対応する読出データ線対を構成する2本の読出データ線の各々に対して供給される。

【0082】請求項32記載の薄膜磁性体記憶装置は、請求項27または28に記載の薄膜磁性体記憶装置であって、複数の書込データ線のうちの2本ずつは、データ書込時において書込データ線対を構成し、同一の書込ワード線によって選択される複数個の磁性体メモリセルは、書込データ線対を構成する2本の書込データ線の一方ずつとそれぞれ接続される。薄膜磁性体記憶装置は、アドレス選択結果に応じて選択される書込データ線対を構成する2本の書込データ線を高電位状態および低電位状態の一方ずつに設定するためのデータ書込制御回路と、データ書込時において、各書込データ線対を構成する2本の書込データ線の間を短絡するための短絡回路とをさらに備える。

【0083】請求項33記載の薄膜磁性体記憶装置は、請求項27または28に記載の薄膜磁性体記憶装置であって、複数の読出データ線のうちの2本ずつは、データ読出時において読出データ線対を構成し、同一の読出ワード線によって選択される複数個の磁性体メモリセルは、読出データ線対を構成する2本の読出データ線の一方ずつとそれぞれ接続され、データ読出電流は、列選択結果に対応する読出データ線対を構成する2本の読出データ線の各々に対して供給され、複数の書込データ線のうちの2本ずつは、データ書込時において書込データ線対を構成し、データ書込時において同一の共通配線によって選択される複数個の磁性体メモリセルは、書込データ線対を構成する2本の書込データ線の一方ずつとそれぞれ接続される。薄膜磁性体記憶装置は、アドレス選択結果に応じて選択される書込データ線対を構成する2本の書込データ線を高電位状態および低電位状態の一方ずつに設定するためのデータ書込制御回路と、データ書込

時において、各書込データ線対を構成する 2 本の書込データ線の間を短絡するための短絡回路とをさらに備える。

【0084】請求項 34 記載の薄膜磁性体記憶装置は、請求項 27 または 28 に記載の薄膜磁性体記憶装置であって、複数の読出データ線は、データ読出の実行前において第 1 の電圧に設定され、複数の読出データ線は、データ書込時において、第 1 の電圧に設定される。

【0085】請求項 35 記載の薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第 1 および第 2 のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて異なる抵抗値を有する磁気記憶部と、データ読出時において記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応してそれぞれ設けられ、データ読出時において、アドレス選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読出ワード線と、行に対応してそれぞれ設けられ、データ書込時において第 1 のデータ書込電流を流すための複数の書込データ線と、列に対応してそれぞれ設けられる複数の共通配線とを備え、複数の共通配線の各々は、データ読出時において、アドレス選択結果に応じてデータ読出電流の供給を選択的に受け、複数の共通配線の各々は、データ書込時において、アドレス選択結果に応じて、第 2 のデータ書込電流を流すために第 1 の電圧に選択的に駆動され、第 1 の電圧とは異なる第 2 の電圧と各共通配線との間を、データ書込時およびデータ読出時のそれぞれにおいて結合および遮断する電流制御回路をさらに備え、隣接する磁性体メモリセルは、複数の書込ワード線、複数の読出ワード線および複数のデータ線のうちの少なくとも 1 つのうちの対応する 1 本を共有する。

【0086】請求項 36 記載の薄膜磁性体記憶装置は、請求項 35 記載の薄膜磁性体記憶装置であって、複数の共通配線の各々は、対応する行に属する複数の記憶部の各々と各メモリセル選択ゲートを介して電氣的に結合される。

【0087】請求項 37 記載の薄膜磁性体記憶装置は、請求項 35 または 36 に記載の薄膜磁性体記憶装置であって、隣接する磁性体メモリセルは、対応する共通配線および書込データ線のうちの磁気記憶部からより遠い一方を共有し、共通配線および書込データ線のうちの一方は、共通配線および書込データ線のうちの他方よりも大きい断面積を有する。

【0088】請求項 38 記載の薄膜磁性体記憶装置は、請求項 35 または 36 に記載の薄膜磁性体記憶装置であって、共通配線および書込データ線のうちの磁気記憶部からより遠い一方は、共通配線線および書込データ線のうちの他方よりも、エレクトロマイグレーション耐性の大

きい材質で形成される。

【0089】請求項 39 記載の薄膜磁性体記憶装置は、請求項 35 または 36 に記載の薄膜磁性体記憶装置であって、複数の共通配線のうちの 2 本ずつは、データ読出時において読出データ線対を構成し、同一の読出ワード線によって選択される複数の磁性体メモリセルは、読出データ線対を構成する 2 本の共通配線の一方ずつとそれぞれ接続され、データ読出電流は、列選択結果に対応する読出データ線対を構成する 2 本の共通配線の各々に対して供給される。

【0090】請求項 40 記載の薄膜磁性体記憶装置は、請求項 35 または 36 に記載の薄膜磁性体記憶装置であって、複数の書込データ線のうちの 2 本ずつは、データ書込時において書込データ線対を構成し、データ書込時において同一の共通配線によって選択される複数の磁性体メモリセルは、書込データ線対を構成する 2 本の書込データ線の一方ずつとそれぞれ接続される。薄膜磁性体記憶装置は、アドレス選択結果に応じて選択される書込データ線対を構成する 2 本の書込データ線を高電位状態および低電位状態の一方ずつに設定するためのデータ書込制御回路と、データ書込時において、各書込データ線対を構成する 2 本の書込データ線の間を短絡するための短絡回路とをさらに備える。

【0091】請求項 41 記載の薄膜磁性体記憶装置は、請求項 35 または 36 に記載の薄膜磁性体記憶装置であって、複数の共通配線のうちの 2 本ずつは、データ読出時において読出データ線対を構成し、同一の読出ワード線によって選択される複数の磁性体メモリセルは、読出データ線対を構成する 2 本の共通配線の一方ずつとそれぞれ接続され、データ読出電流は、列選択結果に対応する読出データ線対を構成する 2 本の共通配線の各々に対して供給され、複数の書込データ線のうちの 2 本ずつは、データ書込時において書込データ線対を構成し、データ書込時において同一の共通配線によって選択される複数の磁性体メモリセルは、書込データ線対を構成する 2 本の書込データ線の一方ずつとそれぞれ接続される。薄膜磁性体記憶装置は、アドレス選択結果に応じて選択される書込データ線対を構成する 2 本の書込データ線を高電位状態および低電位状態の一方ずつに設定するためのデータ書込制御回路と、データ書込時において、各書込データ線対を構成する 2 本の書込データ線の間を短絡するための短絡回路とをさらに備える。

【0092】請求項 42 記載の薄膜磁性体記憶装置は、請求項 35 または 36 に記載の薄膜磁性体記憶装置であって、共通配線は、データ読出の実行前において第 2 の電圧にプリチャージされ、データ書込時において、アドレス選択の結果非選択であった共通配線は、第 2 の電圧に設定される。

【0093】

【発明の実施の形態】以下において、本発明の実施の形

態について図面を参照して詳細に説明する。

【0094】[実施の形態1] 図1は、本発明の実施の形態1に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【0095】図1を参照して、MRAMデバイス1は、外部からの制御信号CMDおよびアドレス信号ADDに
10 応答してランダムアクセスを行ない、書込データDINの入力および読出データDOU Tの出力を実行する。

【0096】MRAMデバイス1は、制御信号CMDに
20 応答してMRAMデバイス1の全体動作を制御するコントロール回路5と、 n 行 \times m 列に行列状に配置された複数のMTJメモリセルを有するメモリアレイ10とを備える。メモリアレイ10の構成は後ほど詳細に説明するが、MTJメモリセルの行にそれぞれ対応して複数のライトワード線WWLおよびリードワード線RWLが配置される。また、MTJメモリセルの列にそれぞれ対応して設けられる折返し型で構成されるビット線対が配置される。ビット線対は、ビット線BLおよび \diagup BLによって構成される。なお以下においては、ビット線BLおよび \diagup BLの組をビット線対BLPとも総称する。

【0097】MRAMデバイス1は、さらに、アドレス信号ADDによって示されるロウアドレスRAに応じてメモリアレイ10における行選択を実行する行デコーダ20と、アドレス信号ADDによって示されるコラムアドレスCAに応じてメモリアレイ10における列選択を実行する列デコーダ25と、行デコーダ20の行選択結果に基づいてリードワード線RWLおよびライトワード線WWLを選択的に活性化するためのワード線ドライバ30と、データ書込時においてライトワード線WWLにデータ書込電流を流すためのワード線電流制御回路40
30 と、データ読出およびデータ書込時において、データ書込電流 $\pm I_w$ およびセンス電流 I_s を流すための読出/書込制御回路50、60とを備える。

【0098】図2は、メモリアレイ10およびその周辺回路の実施の形態1に従う構成を詳細に説明するための図である。

【0099】図2を参照して、メモリアレイ10は、 n 行 \times m 列(n, m : 自然数)に配列される、図81に示した構成を有するMTJメモリセルMCを有する。MTJメモリセルの行(以下、単に「メモリセル行」とも称する)に対応して、リードワード線RWL1 \sim RWL n およびライトワード線WWL1 \sim WWL n がそれぞれ設けられる。MTJメモリセルの列(以下、単に「メモリセル列」とも称する)に対応して、ビット線対BLP1 \sim BLP m をそれぞれ構成するビット線BL1、 \diagup BL1 \sim BL m 、 \diagup BL m がそれぞれ設けられる。

【0100】MTJメモリセルMCは、1行ごとにビット線BLおよび \diagup BLのいずれか一方ずつと接続される。たとえば、第1番目のメモリセル列に属するMTJメモリセルについて説明すれば、第1行目のMTJメモ

リセルは、ビット線 \diagup BL1と結合され、第2行目のMTJメモリセルは、ビット線BL1と結合される。以下同様に、MTJメモリセルの各々は、奇数行においてビット線対の一方ずつの \diagup BL1 \sim \diagup BL m と接続され、偶数行においてビット線対の他方ずつのBL1 \sim BL m と接続される。

【0101】メモリアレイ10は、さらに、ビット線BL1、 \diagup BL1 \sim BL m 、 \diagup BL m とそれぞれ結合される複数のダミーメモリセルDMCを有する。ダミーメモリセルDMCは、ダミーリードワード線DRWL1およびDRWL2のいずれか一方と結合されて、2行 \times m 列に配置される。ダミーリードワード線DRWL1と結合されるダミーメモリセルは、ビット線BL1、BL2 \sim BL m とそれぞれ結合される。一方、ダミーリードワード線DRWL2と結合される残りのダミーメモリセルは、ビット線 \diagup BL1、 \diagup BL2 \sim \diagup BL m とそれぞれ結合される。

【0102】既に説明したように、MTJメモリセルMCの抵抗値は、記憶データのレベルによって変化する。ここで、Hレベルデータを記憶した場合におけるMTJメモリセルMCの抵抗値を R_h とし、Lレベルデータを記憶した場合における抵抗値を R_l とすると、ダミーメモリセルDMCの抵抗値 R_d は、 R_l と R_h の中間値に設定される。なお、本発明の実施の形態においては、 $R_l < R_h$ であるものとする。

【0103】また、以下においては、ライトワード線、リードワード線、ダミーリードワード線、ビット線およびビット線対を総括的に表現する場合には、符号WWL、RWL、DRWL、BL(\diagup BL)およびBLPを用いてそれぞれ表記することとし、特定のライトワード線、リードワード線、ビット線およびビット線対を示す場合には、これらの符号に添字を付してRWL1、WWL1、BL1(\diagup BL1)、BLP1のように表記するものとする。

【0104】ライトワード線WWL1 \sim WWL n は、ワード線電流制御回路40によって、接地電圧 V_{ss} と結合される。これによって、ワード線ドライバ30によって選択状態(高電圧状態: 電源電圧 V_{cc})に活性化されたライトワード線WWLにデータ書込電流 I_p が流される。

【0105】以下においては、信号線の高電圧状態(電源電圧 V_{cc})および低電圧状態(接地電圧 V_{ss})のそれぞれを、HレベルおよびLレベルとも称する。

【0106】メモリセル列に対応して、データ書込時における列選択を実行するためのライトコラム選択線WCSL1 \sim WCSL m がそれぞれ配置される。同様に、メモリセル列に対応して、データ読出時における列選択を実行するためのリードコラム選択線RCSL1 \sim RCSL m がそれぞれ設けられる。

【0107】列デコーダ25は、コラムアドレスCAの

10

20

30

40

50

デコード結果、すなわち列選択結果に応じて、データ書込時において、ライトコラム選択線 $WC SL 1 \sim WC SL m$ のうちの 1 本を選択状態（H レベル）に活性化する。データ読出時においては、列デコーダ 25 は、列選択結果に応じて、リードコラム選択線 $RC SL 1 \sim RC SL m$ のうちの 1 本を選択状態（H レベル）に活性化する。

【0108】さらに、書込データを伝達するためのライトデータバス対 $WDB P$ と読出データを伝達するための $RDB P$ とが独立に配置される。ライトデータバス対 $WDB P$ は、ライトデータバス WDB および $/WDB$ を含む。同様に、リードデータバス対 $RDB P$ は、リードデータバス RDB および $/RDB$ を含む。

【0109】読出／書込制御回路 50 は、データ書込回路 51 a と、データ読出回路 55 a と、メモリセル列に対応してそれぞれ設けられる、ライトコラム選択ゲート $WC SG 1 \sim WC SG m$ 、リードコラム選択ゲート $RC SG 1 \sim RC SG m$ およびリードゲート $RG 1 \sim RG m$ とを含む。

【0110】ライトコラム選択ゲート $WC SG 1 \sim WC SG m$ のうちの 1 個は、列デコーダ 25 の列選択結果に応じてオン状態となり、ライトデータバス対 $WDB P$ を構成するライトデータバス WDB および $/WDB$ を、対応するビット線 BL / BL とそれぞれ結合する。

【0111】たとえば、ライトコラム選択ゲート $WC SG 1$ は、ライトデータバス WDB とビット線 $BL 1$ との間に結合される N 型 MOS トランジスタと、ライトデータバス $/WDB$ とビット線 $/BL 1$ との間に電氣的に結合される N 型 MOS トランジスタとを有する。これらの MOS トランジスタは、ライトコラム選択線 $WC SL 1$ の電圧レベルに応じてオン／オフする。すなわち、ライトコラム選択線 $WC SL 1$ が選択状態（H レベル）に活性化された場合には、ライトコラム選択ゲート $WC SG 1$ は、ライトデータバス WDB 、 $/WDB$ をビット線 $BL 1$ および $/BL 1$ とそれぞれ電氣的に結合する。その他のメモリセル列に対応してそれぞれ設けられるライトコラム選択ゲート $WC SG 1 \sim WC SG m$ も同様の構成を有する。

【0112】データ書込回路 51 a は、データ書込時において活性化（H レベルへ）される制御信号 WE およびデータ読出時において活性化（H レベルへ）される制御信号 RE に応答して動作する。

【0113】なお、以下においては、リードコラム選択線 $RCL 1 \sim RC SL m$ 、ライトコラム選択線 $WC SL 1 \sim WC SL m$ 、リードコラム選択ゲート $RC SG 1 \sim RC SG m$ 、ライトコラム選択ゲート $WC SG 1 \sim WC SG m$ およびリードゲート $RG 1 \sim RG m$ のそれぞれを総括的に表現する場合には、符号 $RC SL$ 、 $WC SL$ 、 $RC SG$ 、 $WC SG$ および RG をそれぞれ用いることとする。

【0114】図 3 は、データ書込回路 51 a の構成を示す回路図である。図 3 を参照して、データ書込回路 51 a は、データ書込電流 $\pm I_w$ を供給するためのデータ書込電流供給回路 52 と、データ読出時においてビット線 BL 、 $/BL$ をプルアップするためのプルアップ回路 53 とを含む。

【0115】データ書込電流供給回路 52 は、内部ノード $Nw 0$ に一定電流を供給するための P 型 MOS トランジスタ 151 と、トランジスタ 151 の通過電流を制御するためのカレントミラー回路を構成する P 型 MOS トランジスタ 152 および電流源 153 とを含む。

【0116】データ書込電流供給回路 52 は、さらに、内部ノード $Nw 0$ から動作電流の供給を受けて動作するインバータ 154、155 および 156 を有する。インバータ 154 は、書込データ DIN の電圧レベルを反転して内部ノード $Nw 1$ に伝達する。インバータ 155 は、書込データ DIN の電圧レベルを反転してインバータ 156 の入力ノードに伝達する。インバータ 156 は、インバータ 154 の出力を反転して内部ノード $Nw 2$ に伝達する。したがって、データ書込回路 51 a は、書込データ DIN の電圧レベルに応じて、内部ノード $Nw 1$ および $Nw 2$ の電圧を電源電圧 V_{cc} および接地電圧 V_{ss} の一方ずつに設定する。

【0117】プルアップ回路 53 は、電源電圧 V_{cc} とノード $Np 1$ および $Np 2$ との間にそれぞれ電氣的に結合される P 型 MOS トランジスタ 157 および 158 を有する。トランジスタ 157 および 158 のゲートには、制御信号 RE の反転信号である $/RE$ が入力される。

【0118】データ書込回路 51 a は、さらに、ノード $Nw 1$ および $Np 1$ のいずれか一方をライトデータバス WDB と選択的に結合するためのスイッチ $SW 1 a$ と、ノード $Nw 2$ および $Np 2$ のいずれか一方をライトデータバス $/WDB$ と選択的に結合するためのスイッチ $SW 1 b$ とを有する。スイッチ $SW 1 a$ および $SW 1 b$ は、制御信号 RWS に応じて動作する。

【0119】スイッチ $SW 1 a$ および $SW 1 b$ は、データ書込時においては、ノード $Nw 1$ および $Nw 2$ をライトデータバス WDB および $/WDB$ とそれぞれ接続する。この結果、データ書込時においては、データ書込電流 $\pm I_w$ を流すために、ライトデータバス WDB および $/WDB$ の電圧が書込データのデータレベルに応じて電源電圧 V_{cc} および接地電圧 V_{ss} の一方ずつに設定される。

【0120】一方、データ読出時においては、スイッチ $SW 1 a$ および $SW 1 b$ は、ノード $Np 1$ および $Np 2$ をライトデータバス WDB および $/WDB$ とそれぞれ結合する。これにより、データ読出時においては、ライトデータバス WDB および $/WDB$ の各々は、プルアップ回路 53 によって電源電圧 V_{cc} にプルアップされる。

【0121】再び図2を参照して、メモリセル列に対応してそれぞれ配置される、リードコラム選択ゲートRCSG1～RCSGmの各々およびリードゲートRG1～RGmの各々は、それぞれ同様の構成を有するので、ビット線BL1、/BL1に対応して設けられるリードコラム選択ゲートRCSG1およびリードゲートRG1の構成について代表的に説明する。

【0122】リードコラム選択ゲートRCSG1およびリードゲートRG1は、リードデータバスRDB、/RDBと接地電圧Vssとの間に直列に結合される。

【0123】リードコラム選択ゲートRCSG1は、リードデータバスRDBとノードN1aとの間に結合されるN型MOSトランジスタと、リードデータバス/RDBとノードN1bとの間に電氣的に結合されるN型MOSトランジスタとを有する。これらのMOSトランジスタは、リードコラム選択線RCSL1の電圧に応じてオン/オフする。すなわち、リードコラム選択線RCSL1が選択状態（Hレベル）に活性化された場合には、リードコラム選択ゲートRCSG1は、リードデータバスRDBおよび/RDBをノードN1aおよびN1bとそれぞれ電氣的に結合する。

【0124】リードゲートRG1は、ノードN1aおよびノードN1bと接地電圧Vssとの間にそれぞれ電氣的に結合される、N型MOSトランジスタQ11およびQ12を有する。トランジスタQ1およびQ2のゲートは、ビット線/BL1およびBL1とそれぞれ結合される。したがって、ノードN1aおよびN1bの電圧は、ビット線/BL1およびBL1の電圧に応じてそれぞれ変化する。

【0125】具体的には、ビット線BL1の電圧がビット線/BL1の電圧よりも高い場合には、トランジスタQ12によって、ノードN1bがより強く接地電圧Vssに引かれるので、ノードN1aの電圧はノードN1bの電圧よりも高くなる。反対に、ビット線BL1の電圧が、ビット線/BL1の電圧よりも低い場合には、ノードN1bの電圧がノードN1aの電圧よりも高くなる。

【0126】このようにして生じたノードN1aおよびN1bの間の電圧差は、リードコラム選択ゲートRCSG1を介して、リードデータバスRDBおよび/RDBの間の電圧差に伝達される。データ読出回路55aは、リードデータバス対RDBPを構成するリードデータバスRDBおよび/RDBの間の電圧差を増幅して読出データDOU Tを生成する。

【0127】図4は、データ読出回路55aの構成を示す回路図である。図4を参照して、データ読出回路55aは、差動増幅器56を有する。差動増幅器56は、リードデータバスRDBおよび/RDBの電圧を受けて、両者の電圧差を増幅して読出データDoutを生成する。

【0128】再び図2を参照して、読出/書込制御回路

60は、ビット線イコライズ信号BLEQに応じてオン/オフされるイコライズトランジスタ62-1～62-mを有する。イコライズトランジスタ62-1～62-mは、メモリセル列に対応してそれぞれ設けられる。たとえば、イコライズトランジスタ62-1は、第1番目のメモリセル列に対応して設けられ、ビット線イコライズ信号BLEQの活性化（Hレベル）にตอบสนองして、ビット線BL1と/BL1とを電氣的に結合する。

【0129】その他のメモリセル列に対応してそれぞれ設けられるイコライズトランジスタ62-2～62-mも同様に、ビット線イコライズ信号BLEQの活性化にตอบสนองして、対応するメモリセル列において、ビット線対BLPを構成するビット線BLおよび/BLの間を電氣的に結合する。

【0130】読出/書込制御回路60は、さらに、ビット線BL1、/BL1～ビット線BLm、/BLmと接地電圧Vssとの間にそれぞれ設けられるプリチャージトランジスタ64-1a、64-1b～64-ma、64-mbを有する。プリチャージトランジスタ64-1a、64-1b～64-ma、64-mbは、ビット線プリチャージ信号BLPRの活性化にตอบสนองしてオンすることにより、ビット線BL1、/BL1～ビット線BLm、/BLmを接地電圧Vssにプリチャージする。

【0131】なお、以下においては、イコライズトランジスタ62-1～62-mおよびプリチャージトランジスタ64-1a、64-1b～64-ma、64-mbを、それぞれ総称してイコライズトランジスタ62およびプリチャージトランジスタ64とも称する。

【0132】コントロール回路5によって生成されるビット線イコライズ信号BLEQは、MRAMデバイス1のスタンバイ期間、MRAMデバイス1のアクティブ期間のうちのデータ読出動作時以外において、折返し型で設けられる各ビット線対BLPを構成するビット線BLおよび/BLを短絡するために、Hレベルに活性化される。

【0133】一方、MRAMデバイスのアクティブ期間におけるデータ読出動作時においては、ビット線イコライズ信号BLEQはLレベルに非活性化される。これにตอบสนองして、各メモリセル列において、各ビット線対BLPを構成するビット線BLおよび/BLの間は遮断される。

【0134】ビット線プリチャージ信号BLPRも同様にコントロール回路5によって生成される。ビット線プリチャージ信号BLPRは、MRAMデバイス1のアクティブ期間において、少なくともデータ読出実行前の所定期間においてHレベルに活性化される。一方、MRAMデバイス1のアクティブ期間のうちのデータ読出動作時においては、ビット線プリチャージ信号BLPRは、Lレベルに非活性化されて、プリチャージトランジスタ64はオフされる。

【0135】次に、データ書込時およびデータ読出時における動作について説明する。図5は、実施の形態1に従うMRAMデバイスにおけるデータ読出およびデータ書込動作を説明するためのタイミングチャートである。

【0136】図5を用いて、まずデータ書込時における動作について説明する。列選択結果に対応したライトコラム選択線WC SLが選択状態（Hレベル）に活性化されて、対応するライトコラム選択ゲートWC SGがオンする。これに応じて、列選択結果に対応するビット線BLおよび／BLは、ライトデータバスWDBおよび／WDBとそれぞれ結合される。

【0137】さらに、データ書込時においては、イコライズトランジスタ62はオン状態となって、ビット線BLおよび／BLの間を短絡する。

【0138】既に説明したように、データ書込回路51aは、ライトデータバスWDBおよび／WDBの電圧を、電源電圧Vccおよび接地電圧Vssのいずれか一方ずつに設定する。たとえば、書込データDINのデータレベルがLレベルである場合には、図3に示されるノードNw2およびNw1の電圧は、それぞれ電源電圧Vccおよび接地電圧Vssに設定されるので、ライトデータバスWDBにLレベルデータを書込むためのデータ書込電流-Iwが流される。データ書込電流-Iwは、ライトコラム選択ゲートWC SG2を介してビット線BLに供給される。

【0139】ビット線BLに流されるデータ書込電流-Iwは、イコライズトランジスタ62によって折返される。これにより、他方のビット線／BLにおいては、反対方向のデータ書込電流+Iwが流される。ビット線／BLを流れるデータ書込電流+Iwは、ライトコラム選択ゲートWC SGを介してライトデータバス／WDBに伝達される。

【0140】さらに、ライトワード線WWLのうちのいずれか1本が、行選択結果に応じて選択状態（Hレベル）に活性化されて、データ書込電流Ipが流される。したがって、列選択結果に対応するメモリセル列において、選択されたライトワード線WWLに対応するMTJメモリセルに対して、データ書込が実行される。このとき、ビット線BLと結合されるメモリセルMCに対しては、Lレベルデータが書込まれ、ビット線／BL2と結合されるメモリセルMCに対してはHレベルデータが書込まれる。

【0141】書込データDINのデータレベルがLレベルである場合には、ノードNw1およびNw2の電圧の設定が上記の場合とは反対となり、ビット線BLおよび／BLに対して、上記と逆方向のデータ書込電流が流れてデータ書込が実行される。このようにして、書込データDINのデータレベルに応じた方向を有するデータ書込電流±Iwがビット線BLおよび／BLに供給される。

【0142】データ書込時においては、リードワード線RWLは非選択状態（Lレベル）に維持される。

【0143】また、たとえば、データ書込時においてもビット線プリチャージ信号BLPRを活性化（Hレベルへ）することによって、データ書込時におけるビット線BLおよび／BLの電圧は、データ読出時のプリチャージ電圧レベルに相当する接地電圧Vssに設定される。

【0144】同様に、リードデータバスRDBおよび／RDBは、データ読出時のプリチャージ電圧に相当する電源電圧Vccに設定される。このように、非選択列に対応するビット線BL、／BLと、リードデータバスRDB、／RDBとのデータ書込時における電圧を、データ読出時におけるプリチャージ電圧と一致させることによって、データ読出前に新たなプリチャージ動作の実行が不要となり、データ読出動作を高速化することができる。

【0145】次にデータ読出時の動作について説明する。データ読出前において、リードデータバスRDB、／RDBおよびビット線BL、／BLは、電源電圧Vccおよび接地電圧Vssにそれぞれプリチャージされる。

【0146】データ読出時においては、ライトデータバスWDBおよび／WDBの各々は、プルアップ回路53によって、電源電圧Vccにプルアップされる。さらに、列選択結果に応じて、対応するリードコラム選択線RC SLおよびライトコラム選択線WC SLの両方が選択状態（Hレベル）に活性化される。

【0147】これにより、ライトデータバスWDBおよび／WDBは、ライトコラム選択ゲートWC SGを介して、選択列に対応するビット線BLおよび／BLと電気的に結合される。したがって、データ読出時においては、選択されたメモリセル列に対応するビット線BLおよび／BLの各々は、電源電圧Vccにプルアップされる。

【0148】リードワード線RWLのうちのいずれか1本が行選択結果に応じて選択状態（Hレベル）に活性化されて、対応するメモリセルMCがビット線BLおよび／BLの一方と結合される。

【0149】さらに、ダミーリードワード線DRWL1およびDRWL2のいずれか一方が活性化されて、MTJメモリセルMCと非結合である、ビット線BLおよび／BLの他方は、ダミーメモリセルDMCと結合される。

【0150】行選択結果に応じて奇数行が選択されて、ビット線／BLとMTJメモリセルMCとが結合される場合には、ダミーリードワード線DRWL1が活性化されて、ビット線BLとダミーメモリセルDMCとが結合される。反対に、行選択結果に応じて偶数行が選択されて、ビット線BLとMTJメモリセルMCとが結合される場合には、ダミーリードワード線DRWL2が活性化

10

20

30

40

50

されて、ビット線/B LとダミーメモリセルDMCとが結合される。

【0151】選択されたMTJメモリセルMCにおいて、アクセストランジスタATRがターンオンすることによって、プルアップされたビット線B Lもしくは/B L～メモリセルMC～接地電圧V s sの間にセンス電流I sが流される。したがって、MTJメモリセルと結合されたビット線B Lおよび/B Lの一方には、記憶されたデータレベルに対応する電圧変化 ΔV_1 が生じる。図5においては、一例として、データ読出の対象となったMTJメモリセルMCが、Hレベルデータを保持する場合、すなわちMTJメモリセルMCが抵抗値R hを有する場合の電圧変化が示される。

【0152】既に説明したように、ダミーメモリセルDMCの抵抗値R dは、MTJメモリセルMCの抵抗値R hおよびR lの中間値に設定される。したがって、ダミーメモリセルDMCと結合されたビット線B Lおよび/B Lの他方には、中間の抵抗値R dに応じた電圧変化 ΔV_m が生じる。

【0153】したがって、選択されたメモリセル列に対応するビット線対B L Pを構成するビット線B Lおよび/B Lの電圧間の相対関係は、読出された記憶データのレベルに応じて変化する。このような、ビット線B Lおよび/B Lの間の電圧差によって、リードゲートを介して、リードデータバスRDBおよび/RDBが駆動される。

【0154】すなわち、ビット線B Lの電圧がビット線/B Lの電圧よりも高い場合には、リードゲートRGによって、リードデータバス/RDBの方が、リードデータバスRDBよりもより強く接地電圧V s s側に駆動される（図5における電圧変化 $\Delta V_{b1} > \Delta V_{bm}$ ）。このようにして生じたリードデータバスRDBおよび/RDBの間の電圧差をデータ読出回路52によって増幅して、Hレベルの読出データD o u tを出力することができる。

【0155】反対に、データ読出の対象となったMTJメモリセルMCがLレベルデータを保持する場合、すなわちビット線/B Lの電圧がビット線B Lの電圧よりも高い場合には、リードゲートRGによって、リードデータバスRDBの方が、リードデータバス/RDBよりもより強く接地電圧V s s側に駆動される。このようにして生じたリードデータバスRDBおよび/RDBの間の電圧差をデータ読出回路52によって増幅して、Lレベルの読出データD o u tを出力することができる。

【0156】このように、リードゲートRGを介してリードデータバスRDBおよび/RDBを駆動する構成とすることによって、リードデータバスRDBおよび/RDBにセンス電流を流すことなくデータ読出を実行することかできる。これにより、センス電流経路のRC負荷を軽減して、データ読出に必要な電圧変化をビット線B

Lおよび/B Lに速やかに生じさせることができる。これにより、データ読出を高速に行なって、MRAMデバイスへのアクセスを高速化できる。

【0157】また、プルアップされたライトデータバスWDBおよび/WDBを、ライトコラム選択ゲートWCSGを介してビット線B Lおよび/B Lと結合することによって、センス電流I sを供給する構成としているので、データ読出の対象となるメモリセル列に対応するビット線B Lおよび/B Lに対してのみセンス電流I sを流すことができる。これにより、データ読出時における不要な電力消費を避けることができる。

【0158】さらに、折返し型のビット線対によって、データ書込電流をイコライズトランジスタによって折返して流すため、各ビット線B Lおよび/B Lの一端の電圧を電源電圧V c cおよび接地電圧V s sの一方ずつに制御するのみで、異なる方向のデータ書込電流を供給することができる。このように、極性の異なる電圧（負電圧）を必要とせず、また電流の方向は、ライトデータバスWDBおよび/WDBの電圧を電源電圧および接地電圧のいずれか一方ずつに設定するのみで切換えることができるので、データ書込回路51aの構成を簡易化することができる。また、読出/書込制御回路60においては、データ書込電流 $\pm I_w$ をシンクさせる構成（接地電圧V s sへの電流パス）を特に設ける必要がなく、イコライズトランジスタ62のみによってデータ書込電流 $\pm I_w$ を制御することができる。これらの結果、読出/書込制御回路50および60のうちのデータ書込電流 $\pm I_w$ に関連する回路構成を小型化できる。

【0159】また、折返し型のビット線対を設ける構成の下でダミーメモリセルを用いてデータ読出を行なうので、データ読出マージンを十分に確保することができる。

【0160】〔実施の形態1の変形例1〕図6は、メモリアレイ10およびその周辺回路の実施の形態1の変形例1に従う構成を説明するための図である。

【0161】図6を参照して、実施の形態1の変形例1においては、プリチャージトランジスタ64-1a, 64-1b～64-ma, 64-mbは、ビット線B L 1, /B L 1～B L m, /B L mを電源電圧V c cにプリチャージするために設けられる点で異なる。また、データ書込回路51aに代えて、データ書込回路51bが配置され、データ読出回路55aに代えてデータ読出回路55bが配置される。その他の構成については、図2と同様であるので詳細な説明は繰返さない。

【0162】図7は、データ書込回路51bの構成を示す回路図である。図7を参照して、データ書込回路51bは、図3に示したデータ書込電流供給回路52を有する。データ書込回路51bは、データ書込電流供給回路52の出力ノードNw1およびNw2を、ライトデータバス対WDBおよび/WDBのそれぞれ直接結合する。

データ書込回路51bは、プルアップ回路53およびスイッチSW1a、SW1bを備えておらず、データ読出時におけるプルアップ動作を実行しない。

【0163】図8は、データ読出回路55bの構成を示す回路図である。図8を参照して、データ読出回路55bは、リードデータバスRDBおよび／RDBと差動増幅器56の入力ノードとの間にそれぞれ設けられるトランスファークロウTGAおよびTGBを有する。トランスファークロウTGAおよびTGBは、トリガパルスφrに対応して、リードデータバスRDBおよび／RDBを差動増幅器56の入力ノードと結合する。

【0164】データ読出回路55bは、さらに、差動増幅器56の出力をラッチするためのラッチ回路57と、差動増幅器56とラッチ回路57との間に設けられるトランスファークロウTGCとをさらに有する。トランスファークロウTGCは、トランスファークロウTGAおよびTGBと同様に、トリガパルスφrにตอบสนองして動作する。ラッチ回路57は、読出データDOU Tを出力する。

【0165】したがって、データ読出回路55bは、トリガパルスφrがHレベルに活性化されたタイミングにおいて、リードデータバスRDBおよび／RDBの間の電圧差を増幅して読出データDOU Tのデータレベルを設定する。トリガパルスφrの非活性化（Lレベル）期間においては、読出データDOU Tのデータレベルは、ラッチ回路57によって保持される。

【0166】図9は、実施の形態1の変形例1に従うMRAMデバイスにおけるデータ読出およびデータ書込動作を説明するためのタイミングチャートである。

【0167】図9を参照して、データ書込前におけるビット線BLおよび／BLのプリチャージ電圧が、電源電圧Vccに設定される。また、データ書込時においては、トリガパルスφrは、非活性化状態（Lレベル）に維持される。これらの点を除くデータ書込時における動作は、図5に示したタイミングチャートと同様であるので、詳細な説明は繰返さない。

【0168】次にデータ読出時の動作について説明する。データ読出前において、ビット線BL、／BLおよびリードデータバスRDB、／RDBは、電源電圧Vccにプリチャージされる。一方、データ読出時において、ライトコラム選択線WCSLは非活性化状態（Lレベル）に維持される。すなわち、実施の形態1の変形例1においては、実施の形態1の場合とは異なり、データ読出時において、ビット線BLおよび／BLは、電源電圧Vccにプルアップされない。

【0169】ビット線BLおよび／BLが電源電圧Vccにプリチャージされた状態から、行選択結果に応じて、リードワード線RWLが選択的に活性化されると、データ読出の対象となったMTJメモリセルMCにおいて、アクセストランジスタATRがターンオンして、セ

ンス電流Isの経路が形成される。これにより、ビット線BLおよび／BLの電圧は低下を始める。

【0170】この場合におけるビット線BLおよび／BLの電圧低下速度は、ビット線BLおよび／BLに結合された、メモリセルMCもしくはダミーメモリセルDMCの抵抗値に応じて決定される。すなわち、Lレベルデータが記憶されたメモリセルMCに結合されたビット線BL、／BLの電圧低下速度は速く、Hレベルデータが記憶されたメモリセルMCと結合されたビット線BL、／BLの電圧低下速度は遅い。ダミーメモリセルDMCと結合されたビット線BL、／BLの電圧低下速度は、これらの中間値となる。

【0171】図9には、一例として、データ読出の対象となったMTJメモリセルMCがLレベルデータを保持する場合におけるビット線の波形が、ダミーメモリセルDMCと結合されたビット線の波形とともに示される。

【0172】ビット線BL、／BLの電圧低下は、実施の形態1と同様に、リードゲートRGを介して、リードデータバスRDBおよび／RDBに伝達される。したがって、リードデータバスRDB、／RDBの電圧が低下途中であるタイミングをとらえて、トリガパルスφrを活性化してリードデータバスRDBおよび／RDBの間の電圧差をラッチ回路57に取込むことにより、実施の形態1と同様の高速なデータ読出を実行することができる。

【0173】なお、実施の形態1の変形例1に従う構成においては、データ読出時にセンス電流Isを特に供給する必要がないので、消費電力の低減をさらに図ることも可能である。

【0174】〔実施の形態1の変形例2〕図10は、メモリアレイ10およびその周辺回路の実施の形態1の変形例2に従う構成を説明するための図である。

【0175】実施の形態1の変形例2においては、実施の形態1およびその変形例1で説明したリードゲートRGを介したデータ読出を開放型ビット線構成に適用する。

【0176】図10を参照して、メモリセル列に対応して、開放型のビット線BL1～BLmがそれぞれ設けられる。ライトデータバスWDBとビット線BL1～BLmとの間には、ライトコラム選択ゲートWCSG1～WCSGmがそれぞれ設けられる。ライトコラム選択ゲートWCSG1～WCSGmは、ライトコラム選択線WCSL1～WCSLmの電圧に応じてオン／オフする。

【0177】読出／書込制御回路60は、ライトデータバス／WDBとビット線BL1～BLmとの間にそれぞれ設けられるビット線電流制御トランジスタ63-1～62-mを有する。ビット線電流制御トランジスタ63-1～63-mは、ライトコラム選択ゲートWCSG1～WCSGmと同様に、ライトコラム選択線WCSL1～WCSLmの電圧に応じてそれぞれオン／オフす

る。

【0178】プリチャージトランジスタ64-1~64-mは、ビット線プリチャージ信号BLPRにตอบสนองして、ビット線BL1~BLmを電源電圧Vccにプリチャージする。

【0179】ライトデータバスWDBおよび/WDBに対しては、図6の場合と同様に、データ書込回路51bによってデータ書込電流Iwが供給される。このような構成とすることによって、選択されたメモリセル列において、実施の形態1の変形例1の場合と同様に、データ書込電流を供給することができる。

【0180】また、各メモリセル列において、リードデータバスRDBと接地電圧Vssとの間にリードコラム選択ゲートRCSGとリードゲートRGとが直列に結合される。たとえば、第1番目のメモリセル列においては、リードデータバスRDBと接地電圧Vssとの間に、リードコラム選択線RCSL1に応じてオン/オフするN型MOSトランジスタで形成されるリードコラム選択ゲートRCSG1と、ビット線BL1と結合されたゲートを有するN型MOSトランジスタで形成されるリードゲートRG1とが直列に結合される。

【0181】このような構成とすることにより、選択されたメモリセル列において、リードゲートRGを介して、対応するビット線BLの電圧に応じてリードデータバスRDBを駆動することができる。したがって、ビット線BL1~BLmを、電源電圧Vccにプリチャージした状態から、リードワード線RWLの活性化を行なうと、選択されたメモリセルにおいて、ビット線BL（電源電圧Vccプリチャージ）~MTJメモリセル~接地電圧Vssのセンス電流経路を形成することができる。

【0182】これにより、選択されたMTJメモリセルMCの記憶データレベルに応じた速度の電圧低下が、対応するビット線BLに生じる。したがって、実施の形態1の変形例1の場合と同様に、リードデータバスRDBの電圧が低下する途中において、適切なタイミングでビット線の電圧レベルをデータ読出回路55cに取込み、実施の形態1の変形例1におけるダミーメモリセルDMCの電圧低下スピードに基づいて定められた基準電圧Vmとの電圧比較を行なうことによって、読出データDoutを出力することができる。すなわち、データ読出回路55cの構成は、図8に示されるデータ読出回路55cの構成をアレンジして、差動増幅器56の入力ノードの一方を、リードデータバス/RDBの電圧に代えて、基準電圧Vmとすることによって実現できる。

【0183】なお、ライトコラム選択ゲートWCSGおよびビット線電流制御トランジスタ62のオン/オフを、実施の形態1の場合と同様に制御し、かつデータ書込回路51bに代えて、プルアップ回路53を含んだデータ書込回路51aを配置して、ビット線BLを電源電圧Vccにプルアップした状態で、実施の形態1と同様

のデータ読出を実行することも可能である。

【0184】この場合には、列選択結果に応じて、ライトコラム選択ゲートWCSGは、データ読出時およびデータ書込時の両方においてオンするが、ビット線電流制御トランジスタ62は、データ書込時においてのみオンする構成とすればよい。

【0185】また、詳細な構成は図示しないが、データ読出回路55cに代えて、ライトデータバスWDBの電圧と、ダミーメモリセルDMCの抵抗値Rdに対応して設定される基準電圧との比較結果に応じて読出データDOUTを生成する差動増幅回路を配置すればよい。

【0186】このように、開放型のビット線構成の下でも、実施の形態1およびその変形例1と同様に、データ読出およびデータ書込を実行することができる。

【0187】〔実施の形態1の変形例3〕実施の形態1の変形例3においては、列選択に関連するゲート回路数の削減が図られる。

【0188】図11は、メモリアレイ10およびその周辺回路の実施の形態1の変形例3に従う構成を説明するための図である。

【0189】図11を参照して、実施の形態1の変形例3においては、データ入出力線IOおよび/IOによって形成されるデータ入出力線対DI/OPが配置される。

【0190】データ入出力線対DI/OPとビット線対BLP1~BLPmとの間には、コラム選択ゲートCSG1~CSGmがそれぞれ設けられる。コラム選択ゲートCSG~CSGmは、選択結果に応じて、列デコード25によって選択的にHレベルに活性化されるコラム選択線CSL1~CSLmの電圧に応じてそれぞれオン/オフする。すなわち、コラム選択ゲートCSG1~CSGmは、データ読出時およびデータ書込時の両方において、列選択結果に応じて共通にオン/オフ制御される。

【0191】なお、コラム選択ゲートCSG1~CSGmについても同様に、総括的に表現する場合には符号CSGを用いることとする。

【0192】データ読出を高速化するためのリードゲートは、共通リードゲートRCGとして、リードデータバス対RDBPとデータ入出力線対DI/OPとの間に結合される。データ入出力線対DI/OPとライトデータバス対との間には、ライト選択ゲートWCGがさらに設けられる。

【0193】メモリアレイ10および読出/書込制御回路60の構成は、図2の場合と同様であるので詳細な説明は繰返さない。また、データ書込回路51aおよびデータ読出回路55aの構成および動作も、既に説明したとおりであるので詳細な説明は繰返さない。

【0194】リードゲートRGは、リードデータバスRDBと接地電圧Vssとの間に直列に結合されるN型MOSトランジスタQc1およびQc3と、リードデータ

バス/RDBと接地電圧 V_{ss} との間に直列に結合されるN型MOSトランジスタ Q_{c2} および Q_{c4} とを有する。トランジスタ Q_{c1} および Q_{c2} のゲートには制御信号REが入力される。トランジスタ Q_{c3} および Q_{c4} のゲートは、データ入出力線/IOおよびIOとそれぞれ接続される。

【0195】このような構成とすることにより、制御信号REがHレベルに活性化されるデータ読出時においては、コラム選択ゲートCSGおよびデータ入出力線対DI/OPを介して、選択されたメモリセル列に対応するビット線BL、/BLによって、リードデータバスRDB、/RDBを駆動することができる。

【0196】したがって、共通リードゲートRCGをメモリアレイ10内のメモリセル列で共有して回路面積の削減を図ることができる。共通リードゲートRCGによっても、リードデータバスRDB、/RDBにセンス電流 I_s を通過させることなく、高速のデータ読出を実行することができる。

【0197】ライト選択ゲートWCGは、ライトデータバスWDBとデータ入出力線IOとの間に電気的に結合されるN型MOSトランジスタ Q_{c5} と、ライトデータバス/WDBとデータ入出力線/IOとの間に電気的に結合されるN型MOSトランジスタ Q_{c6} とを有する。トランジスタ Q_{c5} および Q_{c6} のゲートには制御信号SGが入力される。制御信号SGは、制御信号WEに応じてデータ書込時において活性化される。さらに、データ読出時においても、制御信号REに応じて制御信号SGを活性化することにより、トランジスタ Q_{c5} および Q_{c6} をオンして、データ書込回路51a中のプルアップ回路53によって、選択されたメモリセル列に対応するビット線BLおよび/BLをプルアップして、センス電流 I_s を供給することができる。

【0198】データ書込時においては、共通リードゲートRCG内におけるトランジスタ Q_{c1} および Q_{c2} がターンオフされるため、リードデータバスRDBおよび/RDBの電圧は、データ入出力線IOおよび/IOとは無関係となる。

【0199】一方、制御信号SGの活性化(Hレベル)にตอบสนองして、ライト選択ゲートWCG中のトランジスタ Q_{c5} および Q_{c6} によって、ライトデータバスWDBおよび/WDBは、データ入出力線IOおよび/IOとそれぞれ電気的に結合される。これにより、選択されたメモリセル列に対応するビット線BLおよび/BLに対して、データ書込電流 I_w を供給することができる。

【0200】また、図6の場合と同様に、データ書込回路51aおよびデータ読出回路55aに代えてデータ書込回路51bおよびデータ読出回路51bを配置するとともに、ビット線BL1、/BL1~BLm、/BLmのプリチャージ電圧を電源電圧 V_{cc} とすることによって、実施の形態1の変形例1と同様に、ビット線にお

る電圧低下速度に応じたデータ読出を実行することも可能である。

【0201】さらにこの場合には、データ読出時において、制御信号SGをLレベルに非活性化して、ライト選択ゲートWCGをオフする必要がある。たとえば、制御信号SGに代えて制御信号WEを直接用いて、トランジスタ Q_{c5} および Q_{c6} のゲートに入力すればよい。

【0202】〔実施の形態2〕実施の形態2においては、製造ばらつきに起因するメモリセルの磁気特性の変動に対応してデータ書込マージンを確保するための、データ書込電流の調整を実行する構成について説明する。

【0203】図12は、実施の形態2に従うデータ書込回路の構成を示す回路図である。図12を参照して、実施の形態2に従うデータ書込回路は、図3に示したデータ書込回路51aの構成と比較して、さらにデータ書込電流調整回路200を備える点で異なる。

【0204】データ書込電流調整回路200は、データ書込電流供給回路52中の電流源153の電流量を制御するための基準電圧 V_{rw} を出力する。データ書込電流供給回路52は、電流源153に相当する、ゲートに基準電圧 V_{rw} の入力を受けるNチャネルMOSトランジスタを有する。したがって、データ書込電流供給回路52において、トランジスタ152および153との間でカレントミラーを構成するトランジスタ151によってノードNw0に供給される電流量、すなわちデータ書込電流 I_w の電流量は、基準電圧 V_{rw} に応じて調整することができる。

【0205】データ書込電流調整回路200は、外部から基準電圧 V_{re1} を入力するための基準電圧外部入力端子202と、テストモード時/通常モード時において、基準電圧 V_{rw} の生成を切替えるためのテストモードエントリ信号TEを入力するためのテスト入力端子204と、内部で基準電圧 V_{ri1} を発生するための内部基準電圧発生回路206とを含む。

【0206】データ書込電流調整回路200は、さらに、基準電圧外部入力端子202とノードNf1との間に結合されるトランスファゲートTGf1と、内部基準電圧発生回路206とノードNf1との間に配置されるトランスファゲートTGf2とを含む。トランスファゲートTGf1およびTGf2は、テストモードエントリ信号TEに応じて、相補的にオンする。ノードNf1は、電流源153に相当するNチャネルMOSトランジスタのゲートと結合される。

【0207】このような構成とすることにより、テストモードエントリ信号TEがLレベルに非活性化される通常動作時においては、トランスファゲートTGf2およびトランスファゲートTGf1は、それぞれオンおよびオフする。したがって、内部基準電圧発生回路206が生成した基準電圧 V_{ri1} が、基準電圧 V_{rw} として電流源153に相当するトランジスタのゲートに入力

10

20

30

40

50

される。

【0208】一方、テストモードエントリ信号TEがHレベルに活性化されるテスト動作時には、トランスファークゲートTGf1およびトランスファークゲートTGf2は、それぞれオンおよびオフされる。これにより、基準電圧外部入力端子202に外部より印加された基準電圧Vre1が、電流源153に相当するトランジスタのゲートに入力される。

【0209】したがって、テストモード時には、テストモードエントリ信号TEを活性化することにより、外部から任意の電圧レベルの基準電圧Vre1を入力して、データ書込マージンのテストを実行することができる。これにより、MTJメモリセルの磁気特性における製造ばらつきを補償して、データ書込マージンを適切に確保するためのデータ書込電流量の調整テストを実行することができる。この調整テストは、たとえばデータ書込電流±Iwを規格値から徐々に下げていき、すべてのMTJメモリセルにおいて所望のデータ書込マージンが確保されているかどうかを確認すればよい。

【0210】内部基準電圧発生回路206が生成する電圧Vri1のレベルは、このような調整テストによって判明した基準電圧Vrwの適正值に設定すればよい。

【0211】これにより、製造ばらつきに起因するMTJメモリセルの磁気特性の変動を補償して、適正なデータ書込電流量に基づいて通常動作時におけるデータ書込動作を実行することが可能となる。

【0212】図13は、実施の形態2に従うワード線ドライバの構成例を示す回路図である。

【0213】図13を参照して、実施の形態2に従うワード線ドライバは、ライトワード線WWL1~WWLnに対応してそれぞれ設けられるライトワードドライバWWD1~WWDnを有する。ライトワードドライバWWD1~WWDnの各々は、たとえばインバータで構成される。なお、以下においては、ライトワードドライバWWD1~WWDnを総括的に記載する場合には、符号WWDを単に用いることとする。

【0214】行デコード20は、ロウアドレスRAに応じて、ロウデコード信号RD1~RDnのうちの選択行に対応する1つをLレベルに活性化する。ロウデコード信号RD1~RDnは、ワード線ドライバ30に伝達される。ワード線ドライバ30において、ライトワードドライバWWD1~WWDnは、ロウデコード信号RD1~RDnをそれぞれ受けて、対応するロウデコード信号がLレベルに活性化された場合において、対応するライトワード線WWLを選択状態（Hレベル）に活性化する。

【0215】ワードドライバWWD1~WWDnは、データ書込時において、選択さ行に対応するライトワード線WWLに対して、データ書込電流Ipを供給する。

【0216】ワード線ドライバ30は、さらに、ワード

ドライバWWD1~WWDnにデータ書込電流Ipを供給するためのデータ書込電流供給回路32と、データ書込電流Ipの電流量を調整するためのデータ書込電流調整回路210とをさらに有する。

【0217】データ書込電流供給回路32は、ノードNp0およびNp1と電源電圧Vccとの間にそれぞれ電氣的に結合されるPチャネルMOSトランジスタ33aおよび33bと、ノードNp1と接地電圧Vssとの間に電氣的に結合されるNチャネルMOSトランジスタ34とを有する。ノードNp0には、各ライトワードドライバWWDに供給されるデータ書込電流Ipが伝達される。

【0218】ノードNp1は、トランジスタ33aおよび33bのゲートと電氣的に結合される。トランジスタ34のゲートにはデータ書込電流調整回路が出力する基準電圧Vrpが入力される。これにより、トランジスタ34は、基準電圧Vrpに応じた電流量を流す電流源として動作する。一方、トランジスタ33a、33bおよび34によってカレントミラー回路が構成されるので、トランジスタ32によってノードNp0に供給される電流量、すなわちデータ書込電流Ipの電流量を、データ書込電流調整回路210が出力する基準電圧Vrpに応じて調整することができる。

【0219】データ書込電流調整回路210は、図11で説明したデータ書込電流調整回路200と同様の構成を有する。

【0220】すなわち、データ書込電流調整回路210は、外部から基準電圧Vre2を入力するための基準電圧外部入力端子212と、テストモードエントリ信号TEを入力するためのテスト入力端子214と、内部で基準電圧Vri2を発生するための内部基準電圧発生回路216とを含む。

【0221】データ書込電流調整回路210は、さらに、基準電圧外部入力端子212とノードNf2との間に結合されるトランスファークゲートTGf3と、内部基準電圧発生回路216とノードNf2との間に配置されるトランスファークゲートTGf4とを含む。トランスファークゲートTGf3およびTGf4は、テストモードエントリ信号TEに応じて、相補的にオンする。ノードNf2は、電流源として動作するトランジスタ34のゲートと結合される。

【0222】したがって、通常動作時およびテストモード時のそれぞれにおいて、テストモードエントリ信号TEに応じて、内部基準電圧発生回路216が生成した基準電圧Vri2および基準電圧外部入力端子212に外部より印加された基準電圧Vre2が、トランジスタ34のゲートに入力される。

【0223】この結果、テストモード時には、外部から任意の電圧レベルの基準電圧Vre2を入力して、データ書込マージンのテストを実行することができ

10

20

30

40

50

る。これにより、MTJメモリセルの磁気特性における製造ばらつきを補償して、データ書込マージンを適切に確保するためのデータ書込電流量の調整テストを容易に実行することができる。この調整テストは、たとえばデータ書込電流 I_p を規格値から徐々に下げていき、すべてのMTJメモリセルにおいて所望のデータ書込マージンが確保されているかどうかを確認すればよい。

【0224】内部基準電圧発生回路216が生成する電圧 V_{ri2} のレベルは、このような調整テストによって判明した基準電圧 V_{rw} の適正值に設定すればよい。

【0225】これにより、製造ばらつきに起因するMTJメモリセルの磁気特性の変動を補償して、適正なデータ書込電流量に基づいて通常動作時におけるデータ書込動作を実行することが可能となる。

【0226】〔実施の形態2の変形例〕図14は、実施の形態2の変形例に従うデータ書込電流調整回路230の構成を示す回路図である。

【0227】図14を参照して、データ書込電流調整回路230は、データ書込電流の電流量を調整するための基準電圧 V_{ref} を出力する。なお、図13に示すデータ書込電流調整回路230は、ビット線に対するデータ書込電流 $\pm I_w$ を調整するためのデータ書込電流調整回路200およびライトワード線に対するデータ書込電流 I_p を調整するためのデータ書込電流調整回路210のいずれとも置き換えて適用することができる。

【0228】図14を参照して、データ書込電流調整回路230は、チューニング入力部231aと、チューニング入力部231aに対する設定に応じて基準電圧 V_{ref} を調整する電圧調整部231bとを有する。

【0229】電圧調整部231bは、基準電圧 V_{ref} を生成するノード N_{t1} と電源電圧 V_{cc} との間に電気的に結合されるPチャネルMOSトランジスタ232と、ノード N_{t2} の電圧と所定電圧 V_{ref0} との間の電圧差を増幅してトランジスタ232のゲートに対して出力するオペアンプ234とを有する。

【0230】電圧調整部231bは、さらに、ノード N_{t1} および N_{t2} の間に電気的に結合されるPチャネルトランジスタ240と、ノード N_{t2} と接地電圧 V_{ss} との間に直列に結合されるPチャネルMOSトランジスタ241、242、243および244とを有する。トランジスタ240～244のゲートは接地電圧 V_{ss} と結合される。これにより、トランジスタ240～244は、抵抗素子として作用する。

【0231】オペアンプ234によってトランジスタ232のゲート電圧を制御することによって、ノード N_{t2} の電圧が所定電圧 V_{ref0} と等しくなるように基準電圧 V_{ref} の電圧レベルは制御される。所定電圧 V_{ref0} は、基準電圧 V_{ref} を考慮して設定される。

【0232】ここで、ノード N_{t2} の電圧 V_{α} は、基準電圧 V_{ref} を抵抗素子として作用するトランジスタ2

40～244で分圧して得られる。この分圧比を α ($\alpha = V_{ref} / V_{\alpha}$)と定義すると、基準電圧 V_{ref} は、オペアンプ234に入力される所定電圧 V_{ref0} を用いて、 $V_{ref} = \alpha \cdot V_{ref0}$ で示される。

【0233】分圧比 α は、チューニング入力部231aに対する入力に応じて設定される、ノード N_{t1} と接地電圧 V_{ss} との間の抵抗値と、ノード N_{t2} と接地電圧 V_{ss} との間の抵抗値との比によって決定される。

【0234】このように、基準電圧 V_{ref} を直接プログラムせず、オペアンプ234に対する入力電圧に関する分圧比 α をプログラムすることによって、基準電圧 V_{ref} の応答性およびノイズ耐性を高めることができる。

【0235】チューニング入力部231aは、トランジスタ241～243の各々と並列に設けられる、プログラム素子であるヒューズ素子と、トランスファークゲートとの組を有する。たとえば、トランジスタ241と並列に、トランスファークゲート TG_{t1} およびヒューズ素子251が直列に接続されて配置される。トランジスタ242に対しては、直列に接続されるトランスファークゲート TG_{t2} およびヒューズ素子252が配置される。同様に、トランジスタ243と並列に、直列に接続されるトランスファークゲート TG_{t3} およびヒューズ素子253が配置される。

【0236】ヒューズ素子251～253に直接外部からレーザ光を入射する、あるいはブロー入力ノード281～283を介して外部から高電圧信号を入力することによって、ヒューズをブローすることができる。

【0237】チューニング入力部231aは、さらに、データ書込電流のチューニングテスト実行時に活性化される制御信号 TT を受ける入力端子270と、チューニングテスト信号 $TV1$ ～ $TV3$ をそれぞれ入力するための入力端子271～273と、制御信号 TT およびチューニングテスト信号 $TV1$ のレベルに応じてトランスファークゲート TG_{t1} のオン/オフを制御するための論理ゲート261と、制御信号 TT およびチューニングテスト信号 $TV2$ のレベルに応じてトランスファークゲート TG_{t2} のオン/オフを制御するための論理ゲート262と、制御信号 TT およびチューニングテスト信号 $TV3$ のレベルに応じてトランスファークゲート TG_{t3} のオン/オフを制御するための論理ゲート263とを有する。

【0238】通常動作時においては、制御信号 TT はLレベルに非活性化されるので、論理ゲート262～264の出力信号はそれぞれHレベルに設定される。これにตอบสนองして、トランスファークゲート TG_{t1} ～ TG_{t3} はいずれもオンするので、分圧比 α は、ヒューズ素子252～254に対するブロー有/無に応じて決定される。

【0239】チューニング入力部231aにおいては、入力端子270～273への入力信号によって論理ゲート262～264の出力信号をLレベルに設定し、対応

10

20

30

40

50

するトランスファークゲートTGt1, TGt2, TGt3をオフさせることによって、擬似的にヒューズブローを行なった状態を作り出すことができる。

【0240】たとえば、制御信号TTを活性化（Hレベルへ）してチューニングテストを実行する場合において、チューニングテスト信号TV1をHレベルに活性化することによって、トランスファークゲートTGt1をオフすることができ、ヒューズ素子251をブローしたのと等価な状態を作り出すことができる。

【0241】同様に、ヒューズ素子252および253に対して、擬似的にブローされた状態を設定することができる。

【0242】したがって、入力端子270～273に入力される制御信号TTおよびチューニングテスト信号TV1～TV3によって、分圧比 α を変化させて、データ書込電流を調整するための基準電圧Vrefを可変に設定することができる。

【0243】したがって、チューニングテスト時には、実際にヒューズブローを行なうことなく、可逆的に分圧比 α を調整して、データ書込マージンを適切に確保するためのデータ書込電流量の調整テストを容易に行うことができる。

【0244】チューニングテスト終了後においては、テスト結果に基づいてヒューズ素子を実際にブローすることにより、適切なデータ書込電流を得るための基準電圧Vrefをチューニング入力部231aに不揮発的にプログラムすることができる。この結果、データ書込電流調整回路230は、通常動作時には、プログラムされた適切な基準電圧Vrefを生成するので、MTJメモリセルの磁気特性における製造ばらつきを補償して、通常動作時におけるデータ書込動作を実行することが可能となる。

【0245】なお、図14においては、外部から基準電圧を入力するための、基準電圧外部入力端子202（212）および203（214）と、トランスファークゲートTGf1（TGf3）およびTGf2（TGf4）とを併有する構成を示しているが、これらの要素を省略して、基準電圧Vrefを直接トランジスタ153（34）のゲートに入力する構成としてもデータ書込電流のチューニングテストを実行できる。

【0246】このような構成とすることにより、図12および図13に示したデータ書込電流調整回路200および210の構成と比較して、デジタル信号の入力のみでチューニングテストを効率的に実行することができる。また、データ書込電流調整回路200および210中の内部基準電圧発生回路206および216の出力電圧調整に相当する調整を行なう必要がないので、調整負荷が軽減される。

【0247】なお、分圧比 α を設定するためのトランジスタの数は、図13に示された例に限られず、任意の複

数個設けることができる。この場合においては、任意の複数個設けられた抵抗素子として機能するトランジスタと並列に、同様に制御されるトランスファークゲートとヒューズ素子との組および制御信号の入力端子を設ければ、基準電圧Vrefの設定レベルをさらに細密化することができる。

【0248】また、図14の構成においては、プログラム素子として、ブロー入力後に切断状態となるヒューズ素子を用いる構成を例示したが、ブロー入力後に導通状態となる、いわゆるアンチヒューズ素子を用いることも可能である。この場合には、チューニングテストを実行するためのトランスファークゲート（図14におけるTGt1～TGt3）の各々を、アンチヒューズ素子と並列に設ければ、同様の効果を得ることができる。

【0249】なお、実施の形態2およびその変形例で説明したデータ書込電流の調整は、実施の形態1およびその変形例で説明したリードゲートを介したデータ読出を実行するMRAMデバイスだけでなく、一般的な構成のMRAMデバイスに適用することが可能である。

【0250】図15には、リードゲートを用いずにデータ読出を実行するMRAMデバイスの構成例が示される。

【0251】図15を図2と比較して、図15に示される構成においては、メモリセル列にそれぞれ対応して、コラム選択ゲートCSG1～CSGmが配置される。各コラム選択ゲートは、列選択結果に応じて、対応するビット線対BLPとデータ入出力線対DI/OPとの間を結合する。たとえば、コラム選択ゲートCSG1は、コラム選択線CSL1の電圧に応じて、データ入出力線対DI/OPを構成するデータ入出力線IOおよび/I Oを、対応するビット線対BLP1を構成するビット線BL1および/I BL1とそれぞれ結合する。

【0252】データ入出力線対DI/OPに対するデータ書込電流 I_w の供給は、図10で説明したデータ書込回路51bによって実行することができる。データ書込回路51bに含まれるデータ書込電流供給回路52中の電流源153の電流量を調整するために、図12および図14にそれぞれ示したデータ書込電流調整回路200もしくは230を設けることにより、同様のデータ書込電流の調整を実行することができる。

【0253】また、ライトワード線WWLに対するデータ書込電流 I_p は、ワード線ドライバ30によって実行されるが、ワード線ドライバ30の構成に、図13で説明した構成を適用することによって、実施の形態2と同様のデータ書込電流の調整を行なうことができる。

【0254】図15に示される構成のMRAMデバイスにおいては、データ読出時におけるセンス電流 I_s をデータ読出回路55dによって実行する必要がある。

【0255】データ読出回路55dは、電源電圧Vccを受けて内部ノードNs1およびNs2に一定電流をそ

れぞれ供給するための電流源161および162と、内部ノードNs1とノードNr1との間に電氣的に結合されるN型MOSトランジスタ163と、内部ノードNs2とノードNr2との間に電氣的に結合されるN型MOSトランジスタ164と、内部ノードNs1およびNs2の間の電圧レベル差を増幅して読出データDOU Tを出力する増幅器165とを有する。

【0256】トランジスタ163および164のゲートには基準電圧Vrrと与えられる。電流源161および162の供給電流量および基準電圧Vrrは、センス電流Isの電流量に応じて設定される。抵抗166および167は、内部ノードNs1およびNs2を接地電圧Vssにプルダウンするために設けられる。さらに、ノードNr1およびNr2は、データ入出力線IOおよびIOとそれぞれ結合される。

【0257】このような構成とすることにより、データ読出回路55dは、データ読出時において、データ入出力線IOおよびIOの各々にセンス電流Isを供給する。さらに、コラム選択ゲートおよびビット線対を介して接続されるMTJメモリセルの記憶データのレベルに応じて、データ入出力線IOおよびIOにそれぞれ生じる電圧変化に応じて、読出データDOU Tを出力する。

【0258】〔実施の形態3〕実施の形態3においては、データ書込電流を流すためのビット線BLおよびライトワード線WWLを、複数の配線層にわたって形成する構成について説明する。

【0259】図16は、本発明の実施の形態3に従うビット線の配置を説明するブロック図である。

【0260】図16を参照して、メモリアレイ10に対するデータ読出およびデータ書込は、図15と同様の構成に基づいて、データ書込回路51bおよびデータ読出回路55dによって、データ入出力線対DI/OPを介して実行されるものとする。

【0261】メモリセル列のそれぞれに対応して、ビット線対BLP1~BLPmを形成するビット線BL1~BLm、/BL1~/BLm、コラム選択ゲートCSG1~CSGnおよびコラム選択線CSL1~CSLmが設けられる。

【0262】ビット線BL1~BLmと、ビット線/BL1~/BLmとは、異なる配線層に形成される。たとえば、ビット線BL1~BLmの各々は、金属配線層M3に形成され、ビット線/BL1~/BLmの各々は、金属配線層M4に形成される。

【0263】メモリセルMCは、各ビット線対を形成する一方のビット線BLとそれぞれ結合される。一方、ダミーメモリセルDMCは、各ビット線対を形成する他方のビット線/BLとそれぞれ結合される。

【0264】読出/書込制御回路60は、メモリセル列にそれぞれ対応して設けられるイコライズトランジスタ

62-1~62-mを有する。イコライズトランジスタ62は、ビット線イコライズ信号BLQにตอบสนองして、異なる金属配線層に形成されたビット線BLと/BLとの間を短絡する。ビット線イコライズ信号BLQは、実施の形態1で説明したのと同様に、活性化/非活性化される。

【0265】したがって、データ書込時において、ビット線対BLPに供給されるデータ書込電流±Iwは、選択されたメモリセル列において、ビット線BLおよび/BLをそれぞれ異なる方向に流れる往復電流として供給される。したがって、実施の形態1と同様に、データ書込電流供給回路52を含むデータ書込回路51bの構成を適用することができる。

【0266】この結果、実施の形態1と同様に、イコライズトランジスタ62によって、データ書込電流±Iwのリターンパスを設けることができるので、読出/書込制御回路60側にデータ書込電流をシンクさせる構成を特別に配置する必要がなく、周辺回路のレイアウトを縮小することが可能となる。

【0267】図17は、実施の形態3に従うビット線の第1の配置例を示す構造図である。図17を参照して、ライトワード線WWLは、金属配線層M2に形成される。ビット線対BLPは、金属配線層M3に形成されるビット線BLと、金属配線層M4に形成されるビット線/BLとを有する。このように、ビット線BLおよび/BLは、異なる金属配線層を用いて、磁気トンネル接合部MTJを上下方向に挟むように形成される。ビット線BLおよび/BLは、メモリアレイ10の端部においてイコライズトランジスタ62によって電氣的に結合されて、データ書込電流を流す。

【0268】したがって、データ書込時におけるデータ書込電流±Iwは、ビット線BLおよび/BLのそれぞれにおいて、異なる方向に流される。したがって、磁気トンネル接合部MTJにおいて、データ書込電流±Iwによって生じるデータ書込磁界は、ビット線BLによって生じる磁界と、ビット線/BLによって生じる磁界とが強め合う方向に作用する。これにより、データ書込時におけるデータ書込電流±Iwを低減することができる。これにより、MRAMデバイスの消費電流の削減、ビット線電流密度の低下による信頼性の向上およびデータ書込時における発生磁界ノイズの低減を行なうことができる。

【0269】反対に、他のメモリセルを含む周辺部においては、ビット線BLおよび/BLbによってそれぞれ生じる磁界は、互いにキャンセルする方向に作用する。この結果、データ書込時における磁界ノイズをさらに抑制することができる。

【0270】図18は、実施の形態3に従うビット線の第2の配置例を示す構造図である。図18を参照して、磁気トンネル接合部MTJと結合されるライトワード線

WWLは、金属配線層M3に配置される。ビット線BLおよび／BLは、磁気トンネル接合部MTJを上下方向に挟むように、異なる金属配線層M2およびM4にそれぞれ配置される。このような構成としても、データ書込電流 I_w によって生じる磁界の方向は図17の場合と同様である。したがって、図17に示す構造を採用した場合と同様の効果を得ることができる。

【0271】再び図16を参照して、実施の形態3においては、データ書込時にデータ書込電流を供給する、データ書込回路51bおよびライトワード線WWLを活性化するワード線ドライバ30に対して、MRAMデバイス1に対して外部から供給される外部電源電圧 E_{xt} 、 V_{cc} を直接供給する。

【0272】MRAMデバイス1は、さらに、外部電源電圧 E_{xt} 、 V_{cc} を降圧して内部電源電圧 I_{nt} 、 V_{cc} を生成する電圧降下回路(VDC: Voltage Down Converter)7を備える。

【0273】電圧降下回路7が生成する内部電源電圧 I_{nt} 、 V_{cc} は、データ読出回路55d、列デコーダ25、コントロール回路5および行デコーダ20等の、データ読出およびアドレス処理を行なう内部回路に供給される。

【0274】このような構成とすることにより、データ書込時において、比較的大きなデータ書込電流 I_w を供給するデータ書込回路およびライトワード線WWLにデータ書込電流 I_p を供給するワード線ドライバを外部から印加される外部電源電圧 E_{xt} 、 V_{cc} によって駆動して、これらのデータ書込電流を速やかに供給することができる。

【0275】一方、データ書込電流を供給する回路以外の内部回路については、降圧された内部電源電圧 I_{nt} 、 V_{cc} によって駆動することによって、これらの内部回路における消費電力の削減および、高集積化のためのデバイス微細化に対応した信頼性の確保を図ることができる。

【0276】〔実施の形態3の変形例1〕図19は、実施の形態3の変形例1に従うビット線の配置を説明する概念図である。

【0277】図19を参照して、各ビット線対BLPを構成するビット線BLおよび／BLは、金属配線層M3およびM4を用いて、メモリアレイ10中の領域CRSで交差するように設けられる。

【0278】すなわち、図19に示される構成においては、領域CRSの左側領域においては、ビット線BLおよび／BLは、金属配線層M3およびM4にそれぞれ配置された配線によって形成される。一方、領域CRSの右側領域においては、ビット線BLおよび／BLは、金属配線層M4およびM3にそれぞれ配置された配線によって形成される。

【0279】金属配線層M3およびM4にそれぞれ形成

されたビット線BLに対応する配線同士は、領域CRSにおいて結合される。同様に、金属配線層M3およびM4にそれぞれ形成されたビット線／BLに対応する配線同士は、領域CRSにおいて結合される。

【0280】ビット線BLおよび／BLは、いずれか一方の金属配線層において、メモリセルMCと結合される。図18においては、構造的に磁気トンネル接合部MTJとの距離が小さい、より下層側の金属配線層M3において、ビット線BLおよび／BLは、メモリセルMCと結合される。

【0281】このように、同一メモリセル列に属するメモリセルMCは、ビット線BLおよび／BLのいずれかと結合される。したがって、各メモリセル列に対応して、ビット線BLと結合されるダミーメモリセルDMCとビット線／BLと結合されるダミーメモリセルDMCとが配置される。ビット線BLと結合されるダミーメモリセルDMCに対して共通に、ダミーリードワード線DRWL1が配置される。同様に、ビット線／BLと結合されるダミーメモリセルDMCに対しては、ダミーリードワード線DRWL2が配置される。

【0282】イコライズトランジスタ62-1～62-mは、メモリセル列に対応してそれぞれ設けられ、ビット線対を構成するビット線BLおよび／BLの間を、ビット線イコライズ信号BLEQにตอบสนองして結合する。

【0283】このような構成とすることにより、選択されたメモリセル列において、ビット線BLおよび／BLに対して、イコライズトランジスタ62によって折返される往復電流を流すことによって、折返し型ビット線構成に基づいたデータ書込を実行することができる。

【0284】このように、図19に示されるビット線の配置においては、ビット線対を構成するビット線BLおよび／BLの各々に対して結合されるメモリセルの数を同等できるので、同一ビット線対BLPを形成するビット線BLおよび／BL間におけるRC負荷のアンバランスを是正することができる。さらに、ダミーリードセルを用いて、折返し型ビット線構成に基づいた、データ読出動作を実行できるので、データ読出時における動作マージンの向上をさらに達成することができる。

【0285】その部分の構成およびデータ読出時およびデータ書込時における基本動作は、図15の場合と同様であるので、詳細な説明は繰返さない。

【0286】〔実施の形態3の変形例2〕以下においては、ライトワード線WWLを複数の金属配線層を用いて形成した場合の構成について説明する。

【0287】図20は、実施の形態3の変形例2に従うライトワード線WWLの配置を説明する構造図である。

【0288】図20を参照して、ライトワード線WWLは、金属配線層M2に形成されるWWL1と、第4の金属配線層M4に形成されるWWL α とを含む。サブライトワード線WWL α およびWWL1は、磁気トンネル接

10

20

30

40

50

合部MTJを上下方向に挟むように配置される。

【0289】図21は、同一のライトワード線を形成するサブワード線間の結合を説明する概念図である。

【0290】図21(a)および(b)を参照して、同一のライトワード線WWLを形成するサブワード線WWLuおよびWWL1は、メモリアレイ10の端部において電氣的に結合される。これにより、データ書込電流Ipをサブワード線WWLuおよびWWL1を用いて往復電流として流すことができる。

【0291】図21(a)においては、スルーホール144に配設される金属配線145を介してサブライトワード線WWLuおよびWWL1が電氣的に結合される構成が示される。

【0292】また、図21(b)に示されるように、サブライトワード線WWLuおよびWWL1の間に電氣的に結合されるMOSトランジスタで形成されるライトワード線電流制御スイッチTSWを、両者の間を短絡するために配置することも可能である。

【0293】このような構成とすることによって、同一のワード線WWLを形成するサブワード線WWLuおよびWWL1に対して、データ書込電流Ipを折返して互いに逆方向の電流として流すことが可能となる。

【0294】再び図20を参照して、サブライトワード線WWL1およびWWLuにそれぞれ逆方向のデータ書込電流Ipが流すことにより、図16および図17の場合と同様に、サブライトワード線WWLuおよびWWL1によって磁気トンネル接合部MTJにそれぞれ生じるデータ書込磁界は、同一方向に作用する。

【0295】また、他のメモリセルを含む周辺部においては、これらのサブライトワード線WWLuおよびWWL1によってそれぞれ生じる磁界は、互いにキャンセルする方向に作用する。これにより、同じ電流値でも、より大きなデータ書込磁界を磁気トンネル接合部MTJに印加することができる。この結果、所望のデータ書込磁界を発生するのに必要なデータ書込電流は低減される。

【0296】これにより、MRAMデバイスの消費電流の削減、ライトワード線WWLの電流密度の低減による動作信頼性の向上、およびデータ書込時における発生磁界ノイズ低減を同様に実現することができる。

【0297】〔実施の形態3の変形例3〕図22は、実施の形態3の変形例3に従うライトワード線の配置を説明する図である。

【0298】図22を参照して、行方向に沿ったメモリアレイ10の一端において、行デコーダ20およびワード線ドライバ30に含まれるライトワードドライバWWD1~WWDnが設けられる。ライトワードドライバWWD1~WWDnは、ライトワード線WWL1~WWLnに対応してそれぞれ設けられ、行デコーダ20のデコード結果に応じて、対応するライトワード線WWLを活性化して、データ書込電流Ipを供給する。

【0299】各ライトワード線WWLは、図20および21(a)に示される構造で配置される。すなわち、同一のライトワード線WWLを形成するサブライトワード線WWLuおよびWWL1は、メモリアレイ10の他端において、スルーホールを介して金属配線145によって電氣的に結合される。

【0300】ライトワードドライバWWD1~WWDnは、対応するライトワード線WWLのうち、サブライトワード線的一方WWLuにデータ書込電流Ipを供給する。同一のライトワード線WWLを形成する他方のサブライトワード線WWL1は、メモリアレイ10の一端(ライトワードドライバWWD側)において、接地電圧Vssと結合される。

【0301】このような構成とすることにより、データ書込において、選択されたメモリセル列に対応するワード線WWLにおいて、サブライトワード線WWLuおよびWWL1を用いて、折返された往復電流としてデータ書込電流Ipを流すことができる。なお、ライトワードドライバWWDおよび接地電圧Vssとサブライトワード線WWLuおよびWWL1との間の接続関係を入れ替えて、サブライトワード線WWL1をライトワードドライバWWDと結合し、サブライトワード線WWLuを接地電圧Vssと結合する構成とすることも可能である。

【0302】〔実施の形態3の変形例4〕図23は、実施の形態3の変形例4に従うライトワード線の配置を説明する図である。

【0303】図23を参照して、実施の形態3の変形例4に従う構成においては、各ライトワード線WWLに対応して設けられるライトワードドライバWWDが、メモリアレイ10の両端に分割配置される。したがって、行デコードも、奇数行に対応するライトワードドライバを活性化するための行デコード20aと、偶数行に対応するライトワードドライバを制御するための行デコード20bとに分割配置される。

【0304】既に説明したように、ライトワードドライバWWDは、データ書込電流Ipを供給するトランジスタを含む構成となるため、比較的大きなサイズを必要とする。したがって、このようにライトワードドライバWWDをメモリアレイの両側に分割して配置することによって、2行分のレイアウトピッチを活用して、ライトワードドライバWWDを配置できる。これにより、行方向におけるライトワード線WWLの配置をより集積化することができ、効率的にメモリアレイ10の低面積化を図ることが可能となる。

【0305】その他の部分の構成および動作については、図22の場合と同様であるので詳細な説明は繰返さない。

【0306】〔実施の形態3の変形例5〕図24は、実施の形態3の変形例5に従うライトワード線の配置を説明する図である。

【0307】図24を参照して、実施の形態3の変形例5に従う構成においては、同一のワード線WWLを形成するサブワード線WWL_uおよびWWL_lは、メモリアレイ10の一端（行デコーダ20側）において、メモリセル行に対応してそれぞれ設けられるライトワード線電流制御スイッチTSWによって電気的に結合される。

【0308】図24には、一例として、ライトワード線WWL₁およびWWL₂に対応してそれぞれ設けられるライトワード線電流制御スイッチTSW₁およびTSW₂が代表的に示される。ライトワード線電流制御スイッチTSWは、行デコーダ20によって制御されて、対応するメモリセル行が選択された場合において、ターンオンされる。

【0309】同一のライトワード線WWLを形成するサブワード線WWL_uおよびWWL_lは、メモリアレイ10の他端において、電源電圧V_{cc}および接地電圧V_{ss}とそれぞれ結合される。したがって、行選択結果に基づいて、ライトワード線電流制御スイッチTSWがオンすることによって、対応するライトワード線WWLを構成するサブワード線WWL_uおよびWWL_lに、往復のデータ書込電流I_pを流すことができる。これにより、実施の形態3の変形例3および4と同様の効果を得ることができる。

【0310】対応するライトワード線電流制御スイッチTSWがターンオフする期間においては、サブワード線WWL_uおよびWWL_lのそれぞれは、電源電圧V_{cc}および接地電圧V_{ss}に設定される。したがって、ライトワード線WWLの選択動作終了後に、ライトワード線WWLの電圧をスタンバイ状態もしくは非選択状態に復帰させる動作を高速化することができる。

【0311】図24には、サブワード線WWL_uおよびWWL_lは、メモリアレイ10の他端において、電源電圧V_{cc}および接地電圧V_{ss}とそれぞれ結合される構成を例示したが、これらの接続関係を入れ換えて、サブワード線WWL_uおよびWWL_lを接地電圧V_{ss}および電源電圧V_{cc}とそれぞれ結合する構成とすることも可能である。

【0312】すなわち、データ書込時において往復のデータ書込電流I_pを流すために、ライトワード線WWLは長配線化するが、ライトワード線WWLをサブワード線WWL_uおよびWWL_lに分割して、サブワード線のそれぞれを所定の電圧レベルに復帰させる構成とすることにより、データ書込電流を往復電流として流すことによる効果を享受しつつ、スタンバイ状態や非選択状態に復帰する動作を高速化することが可能となる。

【0313】なお、実施の形態3の変形例3から5においては、本来データ書込動作には無関係なダミーメモリセルDMCに対しても、メモリセルMCに対応するのと

同様の構成を有する、ダミーライトワード線DWWL₁、DWWL₂およびライトワードドライバDWW₁、DWW₂と、ライトワード線電流制御スイッチTSW₁およびTSW₂とのうちの少なくとも一方が配置される。

【0314】ただし、ダミーメモリセルDMCに対して、データ書込電流を流す必要はないため、ダミーメモリセルに対応するライトワードドライバDWW₁およびDWW₂の入力は、電源電圧V_{cc}に固定される。したがって、ダミーライトワード線DWWL₁、DWWL₂は、常時非活性状態（接地電圧V_{ss}）に維持されており、電流が流されることはない。さらに、対応するライトワード線電流制御スイッチTSWを構成するN型MOSトランジスタのゲートは、接地電圧V_{ss}に固定されて、ターンオフ状態が維持される。

【0315】ダミーメモリセルDMCに対応する領域だけ、ライトワード線WWLを配置しない構成を採用した場合には、形状的な連続性が絶たれてしまうため、MRAMデバイスの形成時において形状不良を発生してしまう可能性がある。したがって、データ書込動作が不要なダミーメモリセルに対しても、正規のメモリセルMCに対するのと同様の構成を有するライトワード線、ライトワードドライバおよびおおよその周辺回路（図24におけるライトワード線電流制御スイッチTSW）を配置することによって、MRAMデバイス形成時における形状不良を回避することができる。

【0316】なお、実施の形態3およびその変形例に従う、ビット線およびライトワード線の配置を、実施の形態1および2の各々もしくはこれらを組み合わせた構成とすることも可能である。この場合には、データ書込回路およびデータ読出回路の構成を、実施の形態1、2およびこれらの変形例においてそれぞれ説明した構成とすればよい。

【0317】〔実施の形態4〕図25は、実施の形態4に従うMTJメモリセルの構成を示す図である。

【0318】図25を参照して実施の形態4に従うMTJメモリセルMCDは、図90に示した構成と同様に、磁気トンネル接合部MTJおよびアクセスダイオードDMを備える。MTJメモリセルMCDにおいては、リードワード線RWLとライトワード線WWLとが分割して配置される点が、図90に示した構成と異なる。ビット線BLは、ライトワード線WWLおよびリードワード線RWLと交差する方向に配置され、磁気トンネル接合部MTJと電気的に結合される。

【0319】アクセスダイオードDMは、磁気トンネル接合部MTJからリードワード線RWLに向かう方向を順方向として、両者の間に結合される。ライトワード線WWLは、他の配線と接続されることなく、磁気トンネル接合部MTJと近接して設けられる。

【0320】図26は、MTJメモリセルMCDを半導

体基板上に配置した場合の構造図である。

【0321】図26を参照して、半導体主基板SUB上に形成されるN型ウェルNWLは、アクセスダイオードDMのカソードに相当する。半導体基板上にMTJメモリセルを行列状に配置する場合においては、たとえば、同一行に属するMTJメモリセルに対して、N型ウェルNWL同士を電気的に結合することによって、リードワード線RWLを特に設けることなく、図25に示されたアクセスダイオードDMとリードワード線RWLとの結合関係が実現できる。

【0322】N型ウェルNWL上に設けられたP型領域PARは、アクセスダイオードDMのアノードに相当する。P型領域PARは、バリアメタル140および金属膜150を介して磁気トンネル接合部MTJと電気的に結合される。

【0323】ライトワード線WWLおよびビット線BLは、金属配線層M1および金属配線層M2にそれぞれ配置される。ビット線BLは、磁気トンネル接合部MTJと結合するように配置される。

【0324】図27は、MTJメモリセルMCDに対する読出動作および書込動作を説明するタイミングチャートである。

【0325】図27を参照して、データ書込時においては、リードワード線RWL、すなわちN型ウェルNWLの電圧は、Hレベル（電源電圧Vcc）に設定される。データ読出においては、リードワード線RWLには電流は流れない。

【0326】選択されたメモリセルに対応するライトワード線WWLは、電源電圧Vccが印加されて、データ書込電流Ipが流される。また、ビット線BLについても、書込データのデータレベルに応じて、ビット線BLの両端の一方ずつを電源電圧Vccおよび接地電圧Vssに設定することにより、書込データのデータレベルに応じたデータ書込電流±Iwをビット線BLに流すことができる。

【0327】このようにして流されるデータ書込電流Ipおよび±Iwによって、MTJメモリセルに対するデータ読出が実行される。この場合において、リードワード線RWLが電源電圧Vccに設定されていることから、データ書込時においては、アクセスダイオードDMは確実にオフされる。したがって、図90に示されたMTJメモリセルと比較して、データ書込動作の安定化を図ることができる。

【0328】次に、データ読出時の動作について説明する。データ読出前において、ビット線BLは、接地電圧Vssにプリチャージされる。

【0329】データ読出の対象となるメモリセルMCDに対応するリードワード線RWLは、データ読出時において活性状態（Lレベル：接地電圧Vss）に駆動される。これに応じて、アクセスダイオードDMは順バイア

スされるので、ビット線BL～磁気トンネル接合部MTJ～アクセスダイオードDM～RWL（接地電圧Vss）の経路にセンス電流Isを流して、データ読出を実行することができる。

【0330】具体的には、センス電流Isによって、ビット線BLに生じる電圧変化を増幅することによって、磁気トンネル接合部MTJに記憶されたデータの読出を行なうことができる。

【0331】なお、図26に示されるように、ビット線BLと磁気トンネル接合部MTJとの間の距離は、ライトワード線WWLと磁気トンネル接合部MTJとの距離よりも小さいので、同一の電流量を流した場合においても、ビット線BLを流れるデータ書込電流によって生じる磁界の方が、ライトワード線WWLを流れるデータ書込電流によって生じる磁界よりも大きい。

【0332】したがって、ほぼ同じ強度のデータ書込磁界を磁気トンネル接合部MTJに与えるためには、ワード線WWLに対して、ビット線BLよりも大きなデータ書込電流を流す必要がある。ビット線BLおよびライトワード線WWLは、電気抵抗値を小さくするために金属配線層に形成される。しかし、配線に流れる電流密度が過大となると、エレクトロマイグレーション現象に起因する断線や配線間短絡が発生して、動作の信頼性に支障をきたす場合がある。このため、データ書込電流が流れる配線の電流密度を抑制することが望ましい。

【0333】したがって、図25に示されるMTJメモリセルを半導体基板上に配置する場合には、ライトワード線WWLの断面積を、より磁気トンネル接合部MTJに近いビット線BLよりも大きくすることによって、大きなデータ書込電流を流す必要があるライトワード線WWLの電流密度を抑制して、MRAMデバイスの信頼性を向上させることができる。

【0334】また、磁気トンネル接合部MTJとの距離が大きく、より大きなデータ書込電流を流す必要がある金属配線（図26においてはライトワード線WWL）を、エレクトロマイグレーション耐性の高い材料によって形成することも、信頼性の向上に効果がある。たとえば、他の金属配線がアルミ合金（Al合金）で形成される場合に、エレクトロマイグレーション耐性を考慮する必要のある金属配線を銅（Cu）によって形成すればよい。

【0335】図28は、MTJメモリセルMCDを行列状に配置したメモリアレイの構成を示す概念図である。

【0336】図28を参照して、半導体基板上に、MTJメモリセルを行列状に配することによって、高集積化したMRAMデバイスを実現することができる。図28においては、24に示されるMTJメモリセルをn行×m列に配置する場合が示される。

【0337】既に説明したように、各MTJメモリセルに対して、ビット線BL、ライトワード線WWLおよび

リードワード線RWLを配置する必要がある。したがって、行列状に配置された $n \times m$ 個のMTJメモリセルに対して、 n 本のライトワード線WWL1~WWLnおよびリードワード線RWL1~RWLnと、 m 本のビット線BL1~BLmとが配置される。

【0338】図29は、ライトワード線WWLを共有して行列状に配置されたMTJメモリセルによって形成されるメモリアレイの構成を示す概念図である。

【0339】図29を参照して、図25に示される構成を有するMTJメモリセルMCDに対応する、リードワード線RWLおよびライトワード線WWLは、行方向に沿って配置されるが、ライトワード線WWLは、隣接するメモリセル間で共有される。

【0340】たとえば、リードワード線RWL1と結合されるMTJメモリセルと、リードワード線RWL2と結合されるMTJメモリセルとは、ライトワード線WWL1を共有する。

【0341】このように、ライトワード線WWLを共有することによって、メモリアレイ全体におけるライトワード線WWLの配置本数を削減することができる。これにより、メモリアレイにおけるMTJメモリセルの配置を高集積化して、チップ面積の削減を図ることができる。

【0342】また、このように、ライトワード線WWLの配置本数を削減することによって、図26に示した金属配線層M1において、ライトワード線WWLピッチの配線ピッチを確保することができる。これにより、ライトワード線WWLの配線幅を容易に広げることができる。これにより、ライトワード線WWLの断面積を、磁気トンネル接合部MTJに対してより近接したビット線BLよりも大きく設定することが容易になる。この結果、エレクトロマイグレーションの発生を抑制してMRAMデバイスの信頼性向上を容易に図ることが可能となる。

【0343】〔実施の形態4の変形例〕このような配線の共有は、従来の技術で説明した図90に示す構成のMTJメモリセルに対しても適用することができる。

【0344】図30は、MTJメモリセルの実施の形態4の変形例に従う配置を示す概念図である。

【0345】図30においては、図90に示す構成を有するMTJメモリセルMCD'が集積配置されたメモリアレイが示される。

【0346】図30を参照して、実施の形態4の変形例においては、行列状に配置されたMTJメモリセルにおいて、列方向に隣接するメモリセルMCD'は、同一のワード線WLを共有する。たとえば、第1番目のメモリセル行に属するメモリセルMCD'と、第2番目のメモリセル行に属するメモリセルMCD'とは、同一のワード線WL1を共有する。

【0347】このような構成とすることにより、メモリ

アレイ全体におけるワード線WLの本数を削減して、MTJメモリセルを高集積化して、チップ面積の削減を図ることができる。

【0348】再び図91を参照して、図90に示されたMTJメモリセルにおいても、ワード線WLと磁気トンネル接合部MTJとの間の距離は、ビット線BLと磁気トンネル接合部MTJとの間の距離よりも大きいので、ワード線WLにより大きなデータ書込電流を流す必要が生じる。したがって、このようなMTJメモリセルにおいては、ワード線WLの電流密度低減を図ることが、動作信頼性の確保上重要である。

【0349】実施の形態4の変形例においては、より大きなデータ書込電流を流す必要があるワード線WLの配線ピッチを容易に確保できるので、ワード線WLの電流密度を抑制して、MRAMデバイスの信頼性向上を図ることができる。また、実施の形態4で説明したのと同様に、より大きなデータ書込電流を流す必要のある配線の材質を耐エレクトロマイグレーション性の高いに選定することによって、MRAMデバイスの動作信頼性をさらに高めることができる。

【0350】〔実施の形態5〕実施の形態5以降においては、リードワード線RWLおよびライトワード線WWLを互いに異なる方向に沿って配置する構成とすることによる、メモリアレイの高集積化について説明する。

【0351】図31は、本発明の実施の形態5に従うMRAMデバイス2の全体構成を示す概略ブロック図である。

【0352】図31を参照して、MRAMデバイス2においては、リードワード線RWLおよびライトワード線WWLは、メモリアレイ10上において、行方向および列方向にそれぞれ沿って配置される。

【0353】これに対応して、ビット線は、リードビット線RBLおよびライトビット線WBLに分割されて、メモリアレイ10上において、列方向および行方向にそれぞれ沿って配置される。

【0354】したがって、MRAMデバイス2は、図1に示したMRAMデバイス1と比較して、ワード線ドライバ30がリードワード線ドライバ30rおよびライトワード線ドライバ30wに分割配置される点が異なる。

【0355】さらに、読出/書込制御回路50、60についても、メモリアレイ10に行方向に隣接して配置されるデータ書込回路50w、60wおよびデータ読出回路50rに分割して配置される。

【0356】これ以外の部分の構成および動作は、MRAM1と同様であるので、詳細な説明は繰り返さない。

【0357】図32は、実施の形態5に従うMTJメモリセルの接続態様を示す回路図である。

【0358】図32を参照して、磁気トンネル接合部MTJおよびアクセストランジスタATRを有するMTJメモリセルに対して、リードワード線RWL、ライトワ

10

20

30

40

50

ード線WWL、ライトビット線WBLおよびリードビット線RBLが設けられる。アクセストランジスタATRには、半導体基板SUB上に形成された電界効果トランジスタであるMOSトランジスタが代表的に適用される。

【0359】アクセストランジスタATRのゲートは、リードワード線RWLと結合される。アクセストランジスタATRは、リードワード線RWLが選択状態（Hレベル：電源電圧Vcc）に活性化されるとターンオンして、磁気トンネル接合部MTJを含む電流経路を形成する。一方、リードワード線RWLが非選択状態（Lレベル：接地電圧Vss）に非活性化される場合には、アクセストランジスタATRはターンオフされるので、磁気トンネル接合部MTJを含む電流経路は形成されない。

【0360】ライトワード線WWLおよびライトビット線WBLとは、磁気トンネル接合部MTJと近接するように、互いに直交する方向に配置される。このように、リードワード線RWLとライトワード線WWLとを互いに直交する方向に配置することによって、リードワード線ドライバ30rとライトワード線ドライバ30wとを分割して配置することができる。

【0361】また、ライトワード線WWLは、MTJメモリセルの他の部位と結合することなく、独立して配置することができるので、磁気トンネル接合部MTJとの間における磁気カップリングの向上を優先して配置することができる。これにより、ライトワード線WWLを流れるデータ書込電流Ipを抑制することができる。

【0362】リードワード線RWLおよびライトワード線WWLは、データ読出時およびデータ書込時においてそれぞれ独立に活性化されるので、これらのドライバは元来独立なものとして設計することができる。したがって、ライトワード線ドライバ30wとリードワード線ドライバ30rとを分割して小型化し、メモリアレイ10に隣接する、異なる領域にそれぞれ配置することができるので、レイアウトの自由度を向上させて、レイアウト面積すなわちMRAMデバイスのチップ面積を減少させることができる。

【0363】磁気トンネル接合部MTJは、リードビット線RBLとアクセストランジスタATRとの間に電気的に結合される。したがって、データ読出時において、電流を流す必要がないライトビット線WBLの電圧レベルを接地電圧Vssに設定することによって、アクセストランジスタATRのターンオンにตอบสนองして、リードビット線RBL～磁気トンネル接合部MTJ～アクセストランジスタATR～ライトビット線WBL（接地電圧Vss）の電流経路が形成される。この電流経路にセンス電流Isを流すことによって、磁気トンネル接合部MTJの記憶データのレベルに応じた電圧変化をリードビット線RBLに生じさせて、記憶データを読出することができる。

【0364】データ書込時においては、ライトワード線WWLおよびライトビット線WBLにそれぞれデータ書込電流が流され、これらのデータ書込電流によってそれぞれ生じる磁界の和が、一定磁界すなわち図84に示されるアステロイド特性線を超える領域に達することによって、磁気トンネル接合部MTJに記憶データが書込まれる。

【0365】図33は、実施の形態5に従うMTJメモリセルに対するデータ書込およびデータ読出を説明するためのタイミングチャート図である。

【0366】まず、データ書込時の動作について説明する。ライトワード線ドライバ30wは、列デコーダ25の列選択結果に応じて、選択列に対応するライトワード線WWLの電圧を選択状態（Hレベル）に駆動する。非選択列においては、ライトワード線WWLの電圧レベルは非選択状態（Lレベル）に維持される。ワード線電流制御回路40によって各ライトワード線WWLは接地電圧Vssと結合されているので、選択列においてライトワード線WWLにデータ書込電流Ipが流れる。

【0367】リードワード線RWLは、データ書込時においては非選択状態（Lレベル）に維持される。データ書込時においては、読出制御回路50rは、センス電流Isを供給せず、リードビット線RBLを高電圧状態（Vcc）にプリチャージする。また、アクセストランジスタATRはターンオフ状態を維持するので、データ書込時においては、リードビット線RBLに電流は流れない。

【0368】書込制御回路50wおよび60wは、メモリアレイ10の両端におけるライトビット線WBLの電圧を制御することによって、書込データDINのデータレベルに応じた方向のデータ書込電流を生じさせる。

【0369】たとえば、“1”の記憶データを書込む場合には、書込制御回路60w側のビット線電圧を高電圧状態（電源電圧Vcc）に設定し、反対側の書込制御回路50w側のビット線電圧を低電圧状態（接地電圧Vss）に設定する。これにより、書込制御回路60wから50wに向かう方向にデータ書込電流+Iwがライトビット線WBLを流れる。

【0370】一方、“0”の記憶データを書込む場合には、書込制御回路50w側および60w側のビット線電圧を高電圧状態および低電圧状態にそれぞれ設定し、書込制御回路50wから60wへ向かう方向にデータ書込電流-Iwがライトビット線WBLを流れる。この際に、データ書込電流±Iwは、行デコーダ20の行選択結果に応じて、選択行に対応するライトビット線WBLに選択的に流される。

【0371】このように、データ書込電流Ipおよび±Iwの方向を設定することにより、データ書込時において、書込まれる記憶データのレベル“1”、“0”に応じて、逆方向のデータ書込電流+Iwおよび-Iwのい

いずれか一方を選択して、ライトワード線WWLのデータ書込電流 I_p をデータレベルに関係なく一定方向に固定することができる。これにより、ライトワード線WWLに流れるデータ書込電流 I_p の方向を常に一定にすることができるので、既に説明したように、ワード線電流制御回路40の構成を簡略化することができる。

【0372】次にデータ読出動作について説明する。データ読出時においては、ライトワード線WWLは非選択状態(Lレベル)に維持され、その電圧レベルはワード線電流制御回路40によって接地電圧 V_{ss} に固定される。データ読出時において、書込制御回路50wおよび60wは、ライトビット線WBLに対するデータ書込電流の供給を停止するとともに、ライトビット線WBLを接地電圧 V_{ss} に設定する。

【0373】一方、リードワード線ドライバ30rは、行デコーダ20の行選択結果に応じて、選択行に対応するリードワード線RWLを選択状態(Hレベル)に駆動する。非選択行においては、リードワード線RWLの電圧レベルは非選択状態(Lレベル)に維持される。読出制御回路50rは、データ読出時において、データ読出を実行するための一定量のセンス電流 I_s を選択列のリードビット線RBLに供給する。リードビット線RBLは、データ読出前において高電圧状態(V_{cc})にプリチャージされているので、リードワード線RWLの活性化にตอบสนองしたアクセストランジスタATRのターンオンによって、センス電流 I_s の電流経路がMTJメモリセル内に形成され、記憶データに応じた電圧変化(降下)がリードビット線RBLに生じる。

【0374】図33においては、一例として記憶されるデータレベルが“1”である場合に、固定磁気層FLと自由磁気層VLとにおける磁界方向が同一であるとする、記憶データが“1”である場合にリードビット線RBLの電圧変化 ΔV_1 は小さく、記憶データが“0”である場合のリードビット線RBLの電圧変化 ΔV_2 は、 ΔV_1 よりも大きくなる。これらの電圧降下 ΔV_1 および ΔV_2 の差を検知することによって、MTJメモリセルの記憶データを読出すことができる。

【0375】また、リードビット線RBLにおいて、データ読出に備えたプリチャージ電圧とデータ書込時における設定電圧とを同一の電源電圧 V_{cc} に揃えているので、データ読出の開始時におけるプリチャージ動作を効率化することができ、データ読出動作の高速化が図られる。なお、リードビット線RBLのプリチャージ電圧を接地電圧 V_{ss} とする場合にも、データ書込時における設定電圧を接地電圧 V_{ss} とすればよい。

【0376】同様に、データ読出時に接地電圧 V_{ss} に設定する必要があるライトビット線WBLについても、データ書込終了後の設定電圧を接地電圧 V_{ss} に揃えることによって、データ読出動作の高速化が図られる。

【0377】図34は、実施の形態5に従うMTJメモ

リセルの配置を説明する構造図である。

【0378】図34を参照して、アクセストランジスタATRは、半導体基板SUB上のp型領域PARに形成される。ライトビット線WBLは、第1の金属配線層M1に形成されて、アクセストランジスタATRのソース/ドレイン領域の一方110と電気的に結合される。他方のソース/ドレイン領域120は、第1の金属配線層M1に設けられた金属配線、バリアメタル140およびコンタクトホールに形成された金属膜150を経由して、磁気トンネル接合部MTJと電気的に結合される。

【0379】リードビット線RBLは、磁気トンネル接合部MTJと電気的に結合するように、第3の金属配線層M3に設けられる。ライトワード線WWLは、第2の金属配線層M2に配置される。ライトワード線WWLは、MTJメモリセルの他の部位と結合することなく、独立して配置することができるので、磁気トンネル接合部MTJとの間の磁気カップリングを高めることができるように、自由に配置することができる。

【0380】このような構成とすることにより、MTJメモリセルに対して、リードワード線RWLとライトワード線WWLとを互いに直交する方向に配置して、リードワード線RWLおよびライトワード線WWLにそれぞれ対応するリードワード線ドライバ30rおよびライトワード線ドライバ30wを独立に配置してレイアウトの自由度を高めることができる。データ読出時におけるワード線駆動電流が過大になることを防いで、不要な磁気ノイズの発生を防止することができる。

【0381】図35は、メモリアレイ10およびその周辺回路の実施の形態5に従う構成を説明するための図である。

【0382】図35を参照して、実施の形態5に従うメモリアレイ10においては、図32に示される構成を有するメモリセルMCが行列状に配置される。リードワード線RWLおよびライトワード線WWLは、行方向および列方向に沿ってそれぞれ配置され、リードビット線RBLおよびライトビット線WBLは、列方向および列方向に沿ってそれぞれ配置される。

【0383】ワード線電流制御回路40は、各ライトワード線WWLを接地電圧 V_{ss} と結合する。これにより、データ読出時およびデータ書込時における、ライトワード線WWLの電圧および電流を図33に示されるように制御することができる。

【0384】行方向に隣接するメモリセルは、リードビット線RBLを共有する。また、列方向に隣接するメモリセルは、ライトビット線WBLを共有する。

【0385】たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、同一のリードビット線RBL1を共有し、第3番目および第4番目のメモリセル列に属するメモリセル群は、同一のリードビット線RBL2を共有する。さらに、第2番目および第3番目

のメモリセル行に属するメモリセル群によって、ライトビット線WBL 2が共有される。以降のメモリセル行およびメモリセル列に対しても、リードビット線RBLおよびライトビット線WBLは、同様に交互に配置される。

【0386】同一のリードビット線RBLもしくはライトビット線WBLに対応して、複数のメモリセルMCがデータ読出もしくはデータ書込の対象となるとデータ衝突が発生するので、メモリセルMCは交互配置される。

【0387】このような構成とすることにより、メモリアレイ10におけるリードビット線RBLおよびライトビット線WBLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0388】次に、センス電流 I_s およびデータ書込電流 $\pm I_w$ を流すための周辺回路の構成について説明する。

【0389】データ読出に関するコラム選択は、リードビット線RBLごとに設けられたリードコラム選択線RCSLおよびリードコラム選択ゲートRCSGによって実行される。図35においては、リードビット線RBL 1およびRBL 2に対応して設けられるリードコラム選択線RCSL 1、RCSL 2およびリードコラム選択ゲートRCSG 1、RCSG 2が代表的に示される。

【0390】列デコーダ25は、データ読出時において、列選択結果に応じて、複数のリードコラム選択線RCSLのうちの1本を選択状態(Hレベル)に活性化する。

【0391】リードコラム選択ゲートRCSGは、対応するリードコラム選択線RCSLの電圧に応じて、リードデータ線RDLと対応するリードビット線RBLとを接続する。リードデータ線RDLには、データ読出回路55eによって、センス電流 I_s が供給される。

【0392】図36は、データ読出回路55eの構成を示す回路図である。図36を参照して、データ読出回路55eは、図15に示したデータ読出回路55dと比較して、ノードNr 1に対してのみセンス電流 I_s を供給する点で異なる。これに対応して、図7に示されたトランジスタ164は省略され、参照電圧 V_{rr} は、トランジスタ163のゲートのみに入力される。

【0393】データ読出回路51rは、センス電流 I_s によって生じる電圧降下を、基準となる電圧降下 ΔV_r と比較して読出データDOU Tのデータレベルを検知する。 ΔV_r は、Hレベルデータを読出した場合におけるデータ線の電圧降下を ΔV_h とし、Lレベルデータを読出した場合におけるデータ線の電圧降下を ΔV_l とすると、 ΔV_h と ΔV_l との中間値となるように設定される。

【0394】したがって、データ読出回路55eにおい

ては、ノードNs 2の電圧レベルが($V_{cc} - \Delta V_r$)となるように抵抗167の抵抗値は設定される。

【0395】再び図35を参照して、リードコラム選択ゲートRCSGを介して、列選択結果に応じたリードビット線RBLに選択的に、センス電流 I_s が供給される。

【0396】行選択結果に応じて、リードワード線ドライバ30rは、リードワード線RWLを選択的に活性化し、これにより、選択されたメモリセル行に対応するMTJメモリセルにセンス電流 I_s を流すことができる。

【0397】一方、データ書込に関するコラム選択は、列選択結果に応じた、ライトワード線ドライバ30wによる、ライトワード線WWLの選択的な活性化によって実行される。各ライトワード線WWLは、ワード線電流制御回路40において、接地電圧 V_{ss} と結合される。

【0398】ライトビット線WBLは、ライトワード線WWLと直交する方向に、メモリセル行に対応して設けられる。したがって、ライトビット線WBLごとに設けられたリードロウ選択線およびライトロウ選択ゲートによって、データ書込に関する行選択が実行される。

【0399】図35においては、ライトビット線WBL 1およびWBL 2に対応して設けられるライトロウ選択線WRS L 1、WRS L 2およびライトロウ選択ゲートWRSG 1、WRSG 2が代表的に示される。以下においては、リードロウ選択線およびライトロウ選択ゲートを総括的に表記する場合には、符号WRS LおよびWRSGをそれぞれ用いることとする。

【0400】ライトロウ選択ゲートWRSGは、対応するライトビット線WBLとライトデータ線WDLとの間に電氣的に結合されて、対応するライトロウ選択線WRS Lの電圧に応じてオン/オフする。

【0401】読出/書込制御回路60は、ライトビット線WBLに対応してそれぞれ配置される、ビット線電流制御トランジスタを含む。図35においては、ライトビット線WBL 1、WBL 2に対応してそれぞれ設けられるビット線電流制御トランジスタ63-1、63-2が代表的に示される。以下においては、これらのビット線電流制御トランジスタを総称する場合には、符号63を用いることとする。

【0402】ビット線電流制御トランジスタ63は、対応するライトビット線WBLとデータ線/WDLとの間に電氣的に結合されて、対応するライトロウ選択線WRS Lの電圧に応じてオン/オフする。

【0403】データ線WDLおよび/WDLに対しては、図7に示したデータ書込電流51bによってデータ書込電流 $\pm I_w$ が供給される。したがって、行デコーダ20における行選択結果に応じて、選択されたメモリセル行に対応するライトビット線WBLにデータ書込電流 $\pm I_w$ を流すことができる。

【0404】読出／書込制御回路60は、さらに、リードビット線RBLに対応してそれぞれ配置されるプリチャージトランジスタと、ライトビット線WBLに対応して配置されるライトビット線電圧制御トランジスタとを含む。

【0405】図35においては、リードビット線RBL1、RBL2に対応してそれぞれ設けられるプリチャージトランジスタ64-1、64-2とライトビット線WBL1、WBL2に対応してそれぞれ設けられるライトビット線電圧制御トランジスタ65-1、65-2とが代表的に示される。以下においては、これらの複数のライトビット線電圧制御トランジスタを総称する場合に、符号65を用いることとする。

【0406】ライトビット線電圧制御トランジスタ65の各々は、データ読出時においてオンして、センス電流Isの電流経路を確保するために、対応するライトビット線WBLを接地電圧Vssと結合する。データ読出時以外には、各ライトビット線電圧制御トランジスタ65はオフされて、各ライトビット線WBLは接地電圧Vssと切離される。プリチャージトランジスタ64の動作は、図2で説明したのと同様であるので、説明は繰り返さない。

【0407】このような構成とすることにより、データ書込時においては、選択されたメモリセル行に対応するライトビット線WBLに対して、ライトデータ線WDL～ライトロウ選択ゲートWRSG～ライトビット線WBL～ビット線電流制御トランジスタ63～データ線／WDLの経路にデータ書込電流±Iwを流すことができる。なお、データ書込電流±Iwの方向は、実施の形態1と同様にライトデータ線WDL、／WDLの電圧を設定することによって制御できる。したがって、実施の形態1と同様に、データ書込に関連する周辺回路、すなわちデータ書込回路50wおよび読出／書込制御回路60の構成を簡易にすることができる。

【0408】このように、リードワード線RWLとライトワード線WWLとを直交配置し、かつライトビット線WBLおよびリードビット線RBLを隣接メモリセル間で共有する構成においても、図33に示したようなデータ書込およびデータ読出を実行することができる。

【0409】このような構成とすることにより、メモリアレイ10におけるライトビット線WBLおよびリードビット線RBLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0410】また、ライトビット線WBLの配線ピッチの緩和によって、ライトビット線WBLの配線幅をより広く確保することができる。これにより、以下に述べる効果がさらに生じる。

【0411】既に説明したように、データ書込時に

ては、ビット線BLおよびライトワード線WWLの両方にデータ書込電流を流すことが必要である。

【0412】図34に示したように実施の形態5に従うMTJメモリセルの構成においては、高さ方向におけるライトビットWBLと磁気トンネル接合部MTJとの間の距離は、ライトワード線WWLと磁気トンネル接合部MTJとの間の距離よりも大きい。したがって、データ書込時において、磁気トンネル接合部MTJとの間の距離が大きいライトビット線WBLに対して、より大きな電流を流す必要が生じる。

【0413】しかし、ライトビット線WBLは、隣接するメモリセル列間で共有されるため、メモリセル行2行分の配置スペースを用いてライトビット線WBLを配置することができる。したがって、各ライトビット線WBLの配線幅を広くして、少なくともライトワード線WWLよりも広い配線幅、すなわち大きな断面積を確保して、電流密度を抑制できる。

【0414】このように、データ書込電流を流す配線のうちの、構造上磁気トンネル接合部MTJからの距離がより大きい一方の配線を、隣接するメモリセル間で共有する構成とすることによって、MRAMデバイスの信頼性を向上させることができる。

【0415】また、磁気トンネル接合部MTJとの間の距離が大きい金属配線（図34におけるライトビット線WBL）を、エレクトロマイグレーション耐性の高い材料によって形成することも信頼性の向上に効果がある。たとえば、他の金属配線がアルミ合金（Al合金）で形成される場合に、エレクトロマイグレーション耐性を考慮する必要のある金属配線を銅（Cu）によって形成すればよい。

【0416】〔実施の形態5の変形例1〕図37は、メモリアレイ10およびその周辺回路の実施の形態5の変形例1に従う構成を説明するための図である。

【0417】図37を参照して、実施の形態5の変形例1に従うメモリアレイ10においては、隣接するメモリセルは、同一のライトワード線WWLを共有する。たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、1本のライトワード線WWL1を共有する。以降のメモリセル列に対しても、ライトワード線WWLは、同様に配置される。

【0418】ここで、データ書込を正常に実行するためには、同一のライトワード線WWLおよび同一のライトビット線WBLの交点に配置されるメモリセルMCが複数個存在しないことが必要である。したがって、メモリセルMCは交互配置される。

【0419】リードビット線RBLおよびライトビット線WBLに対する、データ書込およびデータ読出に関する周辺回路の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態5と同様であるので、詳細な説明は繰り返さない。

【0420】このような構成とすることにより、メモリアレイ 10 におけるライトワード線 WWL の配線ピッチを緩和できる。この結果、メモリセル MC を効率的に配置してメモリアレイ 10 を高集積化し、MRAM デバイスのチップ面積を削減することができる。

【0421】〔実施の形態 5 の変形例 2〕図 38 は、メモリアレイ 10 およびその周辺回路の実施の形態 5 の変形例 2 に従う構成を説明するための図である。

【0422】図 38 を参照して、実施の形態 5 の変形例 2 に従うメモリアレイ 10 においては、実施の形態 5 の変形例 1 に従う構成と比較して、列方向に隣接するメモリセルによって、同一のリードワード線 RWL がさらに共有される。たとえば、第 1 番目および第 2 番目のメモリセル行に属するメモリセル群は、同一のリードワード線 RWL 1 を共有する。以降のメモリセル行に対して、リードワード線 RWL は、同様に配置される。

【0423】ここで、データ読出およびデータ書込を正常に実行するためには、1 本のリードワード線 RWL もしくはライトワード線 WWL によって選択される複数メモリセル MC が、同一のリードビット線 RBL あるいはライトビット線 WBL に同時に結合されることが必要である。したがって、リードビット線 RBL およびライトビット線 WBL は、各メモリセル列および各メモリセル行ごとにそれぞれ配置され、さらに、メモリセル MC は交互配置される。

【0424】その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態 5 と同様であるので、詳細な説明は繰り返さない。

【0425】このような構成とすることにより、メモリアレイ 10 におけるリードワード線 RWL およびライトワード線 WWL の配線ピッチを緩和できる。この結果、メモリセル MC を効率的に配置してメモリアレイ 10 を高集積化し、MRAM デバイスのチップ面積を削減することができる。

【0426】〔実施の形態 5 の変形例 3〕図 39 は、実施の形態 5 の変形例 3 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【0427】図 39 を参照して、行列状に配置された実施の形態 5 に従う構成のメモリセルに対して、隣接する 2 個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する 2 本のリードビット線 RBL を用いて折返し型ビット線構成が実現される。たとえば、第 1 番目および第 2 番目のメモリセル列にそれぞれ対応するリードビット線 RBL 1 および RBL 2 によって、リードビット線対を構成することができる。この場合は、リードビット線 RBL 2 は、リードビット線 RBL 1 と相補に設けられるので、リードビット線/RBL 1 と表記する。

【0428】以下においては、各リードビット線対を構成するリードビット線のうち、奇数番目のメモリセル列

に対応する一方ずつおよび、偶数番目のメモリセル列に対応する他方ずつのそれぞれをリードビット線 RBL および/RBL と総称する。

【0429】リードコラム選択線は、リードビット線対ごとに、すなわちメモリセル列の組ごとに設けられる。したがって、同一の組に対応する 2 個のリードコラム選択ゲート RC SG は、共通のリードコラム選択線 RCSL に応答して、オン/オフする。

【0430】たとえば、第 1 番目および第 2 番目のメモリセル列に対応するリードコラム選択ゲート RC SG 1 および RC SG 2 は、共通のリードコラム選択線 RCSL 1 に応じて動作する。奇数列のリードビット線 RBL に対応して設けられるリードコラム選択ゲート RC SG 1、RC SG 3、…は、対応するリードビット線 RBL とリードデータ線 RDL との間に電氣的に結合される。一方、偶数列のリードビット線/RBL に対応して設けられるリードコラム選択ゲート RC SG 2、RC SG 4、…は、対応するリードビット線/RBL とリードデータ線/RDL との間に電氣的に結合される。

【0431】列選択結果に応じて活性化されたリードコラム選択線 RCSL に応答して、対応する 2 個のリードコラム選択ゲート RC SG がオンする。この結果、選択されたメモリセル列に対応するリードビット線対を構成するリードビット線 RBL および/RBL は、リードデータ線対を構成するリードデータ線 RDL および/RDL と電氣的に結合される。

【0432】さらに、リードビット線 RBL および/RBL の各々に対応して、図 35 で説明したのと同様のプリチャージトランジスタ 64 が配置される。すでに説明したように、データ読出時においては、プリチャージトランジスタ 64 はオフされる。

【0433】この結果、選択されたメモリセル列に対応するリードビット線 RBL および/RBL の各々には、データ読出回路 55 d によって供給されるセンス電流 I_s が流される。データ読出回路 55 d の構成は、図 15 にすでに示したので、詳細な説明は繰り返さない。

【0434】したがって、データ読出は、リードビット線 RBL および/RBL の一方ずつと選択的に結合可能な、実施の形態 1 と同様のダミーメモリセル DMC を用いて実行される。これにより、いわゆる折返し型ビット線構成に基づいて、データ読出のマージンを確保することができる。

【0435】同様に、隣接する 2 個のメモリセル行によって形成されるメモリセル行の組ごとに、対応する 2 本のライトビット線 WBL を用いて折返し型ビット線構成が実現される。たとえば、第 1 番目および第 2 番目のメモリセル行にそれぞれ対応するライトビット線 WBL 1 および WBL 2 によって、ライトビット線対を構成することができる。この場合は、ライトビット線 WBL 2 は、ライトビット線 WBL 1 と相補に設けられるので、

ライトビット線/WBL1とも表記する。

【0436】以降のメモリセル列に対しても同様に、メモリセル列および行の組ごとにライトビット線対およびリードビット線対を構成するように、各リードビット線RBLおよびライトビット線WBLは配置される。

【0437】各ライトビット線対を構成するライトビット線のうち、奇数番目のメモリセル行に対応する一方ずつおよび、偶数番目のメモリセル列に対応する他方ずつのそれぞれをライトビット線WBLおよび/WBLとも総称する。これにより、いわゆる折返し型ビット線構成に基づいてデータ書込を実行することができる。

【0438】ライトロウ選択線WRS Lは、ライトビット線対ごとに、すなわちメモリセル行の組ごとに設けられる。したがって、同一の組に対応する2個のライトロウ選択ゲートWRS Gは、共通のライトロウ選択線WRS Lに应答して、オン/オフする。

【0439】たとえば、第1番目および第2番目のメモリセル行に対応するライトロウ選択ゲートWRS G1およびWRS G2は、共通のライトロウ選択線WRS L1に依りて動作する。

【0440】奇数行のライトビット線WBLに対応して設けられるライトロウ選択ゲートWRS G1, WRS G3, …は、対応するライトビット線WBLとライトデータ線WDLとの間に電氣的に結合される。一方、偶数列のライトビット線/WBLに対応して設けられるライトロウ選択ゲートWRS G2, WRS G4, …は、対応するライトビット線/WBLとライトデータ線/WDLとの間に電氣的に結合される。

【0441】行選択結果に応じて活性化されたライトロウ選択線WRS Lに依りて、対応する2個のライトロウ選択ゲートWRS Gがオンする。この結果、選択されたメモリセル行に対応するライトビット線対を構成するライトビット線WBLおよび/WBLは、ライトデータ線対を構成するライトデータ線WDLおよび/WDLのそれぞれと電氣的に結合される。

【0442】さらに、各ライトビット線対において、ライトビット線WBLおよび/WBLを接続するためのイコライズトランジスタ62が、図35に示されたビット線電流制御トランジスタ63に代えて配置される。イコライズトランジスタ62は、たとえば制御信号WEに依りて動作し、データ書込時において、同一ライトビット線対を構成する2本のビット線間を短絡する。また、ライトビット線WBLおよび/WBLの各々に対応して、図35で説明したのと同様のライトビット線電圧制御トランジスタ65が配置される。

【0443】ライトデータ線対を構成するライトデータ線WDLおよび/WDLに対しては、実施の形態1におけるライトデータバスWDBおよび/WDBと同様に、データ書込回路51bからデータ書込電流 I_w が供給される。データ書込回路51bは、図7にすでに示した

ので、詳細な説明は繰り返さない。

【0444】この結果、実施の形態1と同様に、行選択結果に対応するライトビット線対において、イコライズトランジスタ62によって折り返された往復電流によって、データ書込を実行できる。

【0445】このような構成とすることにより、選択されたリードビット線対は、データ読出時における実施の形態1のビット線対と同様にセンス電流を流して、データ読出を行なう。同様に、選択されたライトビット線対は、対応するイコライズトランジスタ62を介して、データ書込時における実施の形態1のビット線対と同様にデータ書込電流を流して、データ書込を行なう。

【0446】したがって、チップ面積削減を図ることが可能な実施の形態5に従うメモリセルを行列状に配置した場合において、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。

【0447】〔実施の形態5の変形例4〕実施の形態5の変形例4においては、実施の形態5の変形例3に示した折返し型ビット線構成に加えて、隣接メモリセル間におけるライトビット線WBLの共有が図られる。

【0448】図40は、メモリアレイ10およびその周辺回路の実施の形態5の変形例4に従う構成を説明するための図である。

【0449】図40を参照して、実施の形態5の変形例4に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のライトビット線WBLを共有する。

【0450】リードワード線RWLが活性化されるデータ読出時においては、各リードビット線RBLに対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとにリードビット線対を形成して、折返し型ビット線構成に基づく、実施の形態5の変形例3と同様のデータ読出を実行できる。

【0451】一方、データ書込時においては、ライトビット線WBLを共有するために、折返し型ビット線構成に基づくデータ書込を行なうことはできない。したがって、実施の形態5の変形例4においては、ライトビット線WBLの選択に関連する周辺回路は、図35に示したのと同様に配置される。これにより、実施の形態5の場合と同様に、簡易な回路構成のデータ書込回路51bを用いて、データ書込を実行することができる。

【0452】また、折返し型ビット線構成に基づくデータ書込を実行することはできないものの、メモリアレイ10におけるライトビット線WBLの配線ピッチを緩和することができる。この結果、メモリアレイ10の高集積化によるMRAMデバイスのチップ面積削減を、さらに図ることができる。さらに、ライトビット線WBLのエレクトロマイグレーション耐性向上によるMRAMデ

バイスの信頼性向上を図ることができる。

【0453】なお、図40の構成では、データ書込系の信号配線のうち、ライトビット線WBLを隣接メモリセル間で共有する構成を示したが、ライトビット線WBLに代えてライトワード線WWLを共有する構成とすることも可能である。ただし、この場合には、ライトビット線WBLは共有することができず各メモリセル行ごとに配置する必要がある。いずれの配線を共有して配線ピッチを緩和するかについては、磁気トンネル接合部MTJからの距離等の構造上の条件や設計の都合等を考慮して定めればよい。

【0454】〔実施の形態5の変形例5〕実施の形態5の変形例5においては、実施の形態5の変形例3に示した折返し型ビット線構成に加えて、隣接するメモリセル間におけるリードワード線RWLの共有が図られる。

【0455】図41は、メモリアレイ10およびその周辺回路の実施の形態5の変形例5に従う構成を説明するための図である。

【0456】図41を参照して、実施の形態5の変形例5に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のリードワード線RWLを共有する。

【0457】読出／書込制御回路60は、実施の形態5の変形例3と同様に配置されるイコライズトランジスタ62、プリチャージトランジスタ64およびライトビット線電圧制御トランジスタ65を含む。

【0458】ライトワード線WWLが活性化されるデータ書込時においては、各ライトビット線WBLに対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル行で形成されるメモリセル行の組ごとにライトビット線対を形成できる。この結果、折返し型ビット線構成に基づく、実施の形態5の変形例3と同様のデータ書込を実行して、同様の効果を楽しむことができる。

【0459】一方、複数のメモリセル行間で共有されるリードワード線RWLが活性化されるデータ読出時においては、折返し型ビット線構成に基づくデータ読出を行なうことはできない。したがって、実施の形態5の変形例5においては、リードビット線RBLの選択に関連する周辺回路は、図35に示したのと同様に配置される。

【0460】このような構成とすることにより、折返し型ビット線構成による動作マージン確保を図ることはできないものの、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和した上で、データ読出を正常に実行できる。この結果、メモリアレイ10の高集積化によるMRAMデバイスのチップ面積削減を図ることができる。

【0461】したがって、実施の形態5に従うメモリセルを用いて、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線RWLの共有

化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0462】なお、図41の構成では、データ読出系の信号配線のうち、リードワード線RWLを隣接メモリセル間で共有する構成を示したが、リードワード線RWLに代えてリードビット線RBLを共有する構成とすることも可能である。ただし、この場合には、リードワード線RWLは共有することができず各メモリセル行ごとに配置する必要がある。いずれの配線を共有して配線ピッチを緩和するかについては、構造上の条件や設計の都合等を考慮して適宜定めればよい。

【0463】〔実施の形態6〕図42は、実施の形態6に従うMTJメモリセルの接続態様を示す回路図である。

【0464】図42を参照して、実施の形態6に従うMTJメモリセルにおいては、図32に示したMTJメモリセルと比較して、リードビット線RBLおよびライトビット線WBLとの間の接続関係が異なる。すなわち、リードビット線RBLは、磁気トンネル接合部MTJと直接結合されずに、アクセストランジスタATRのターンオンに応じて、磁気トンネル接合部MTJと結合される。さらに、ライトビット線WBLが、磁気トンネル接合部MTJと結合されて、データ読出時におけるセンス電流経路に含まれる。

【0465】各信号配線の配置方向を含めて、その他の部の構成は、図32の場合と同様であるので、詳細な説明は繰り返さない。また、データ書込およびデータ読出における、各配線の電圧および電流波形も図33と同様であるので、詳細な説明は繰り返さない。

【0466】したがって、ライトワード線WWLは、ライトビット線WBLと直交する方向に、磁気トンネル接合部MTJと近接して設けられる。この結果、リードワード線ドライバ30rとライトワード線ドライバ30wとを独立に配置して、実施の形態5と同様の効果を得ることができる。

【0467】また、ライトワード線WWLは、MTJメモリセルの他の部位と結合することなく、磁気トンネル接合部MTJとの間における磁気カップリングの向上を優先して配置することができる。

【0468】また、リードビット線RBLが、アクセストランジスタATRを介して磁気トンネル接合部MTJと接合されるので、リードビット線RBLに結合される磁気トンネル接合部MTJの数を削減して、リードビット線RBLの容量を低減して、データ読出を高速化することができる。

【0469】図43は、実施の形態6に従うMTJメモリセルの配置を説明する構造図である。

【0470】図43を参照して、リードビット線RBLは、第1の金属配線層M1に、アクセストランジスタATRのソース／ドレイン領域110と電気的に結合する

10

20

30

40

50

ように設けられる。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に配置される。アクセストランジスタATRのソース/ドレイン領域120は、第1および第2の金属配線層M1およびM2に設けられた金属配線、バリアメタル140およびコンタクトホールに設けられた金属膜150を介して、磁気トンネル接合部MTJと結合される。

【0471】磁気トンネル接合部MTJは、第2の金属配線層M2および第3の金属配線層M3の間に配置される。ライトビット線WBLは、磁気トンネル接合部MTJと電気的に結合されて、第3の金属配線層M3に配置される。ライトワード線WWLは、第2の金属配線層に設けられる。この際に、ライトワード線WWLの配置は、磁気トンネル接合部MTJとの間における磁気カップリングを高めることができるように配置される。

【0472】実施の形態6に従うMTJメモリセルにおいては、ライトビット線WBLと磁気トンネル接合部MTJとの間の距離を、図34に示した実施の形態5に従うMTJメモリセルと比較して小さくすることができる。したがって、ライトビット線WBLを流れるデータ書込電流量を低減できる。

【0473】磁気トンネル接合部MTJとの間の距離は、ライトワード線WWLの方が、ライトビット線WBLよりも大きくなるので、実施の形態6に従うMTJメモリセルにおいては、ライトワード線WWLの方に相対的に大きなデータ書込電流を流す必要がある。

【0474】図44は、メモリアレイ10およびその周辺回路の実施の形態6に従う構成を説明するための図である。

【0475】図44を参照して、実施の形態6に従うメモリアレイ10においては、図42に示される構成を有するメモリセルMCが行列状に配置される。リードワード線RWLおよびライトワード線WWLは、行方向および列方向に沿ってそれぞれ配置され、リードビット線RBLおよびライトビット線WBLは、列方向および列方向に沿ってそれぞれ配置される。

【0476】行方向に隣接するメモリセルは、リードビット線RBLを共有する。また、列方向に隣接するメモリセルは、ライトビット線WBLを共有する。

【0477】たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、同一のリードビット線RBL1を共有し、第3番目および第4番目のメモリセル列に属するメモリセル群は、同一のリードビット線RBL2を共有する。さらに、第2番目および第3番目のメモリセル行に属するメモリセル群によって、ライトビット線WBL2が共有される。以降のメモリセル行およびメモリセル列に対しても、リードビット線RBLおよびライトビット線WBLは、同様に交互に配置される。

【0478】同一のリードビット線RBLもしくはライ

トビット線WBLに対応して、複数のメモリセルMCがデータ読出もしくはデータ書込の対象となるとデータ衝突が発生するので、メモリセルMCは交互配置される。

【0479】このような構成とすることにより、実施の形態5と同様に、メモリアレイ10におけるリードビット線RBLおよびライトビット線WBLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0480】リードビット線RBLおよびライトビット線WBLに対して、選択的にデータ書込電流およびセンス電流を供給するための周辺回路の構成は、図35と同様であるので、詳細な説明は繰り返さない。

【0481】〔実施の形態6の変形例1〕図45は、メモリアレイ10およびその周辺回路の実施の形態6の変形例1に従う構成を説明するための図である。

【0482】図45を参照して、実施の形態6の変形例1に従うメモリアレイ10においては、隣接するメモリセルは、同一のライトワード線WWLを共有する。たとえば、第2番目および第3番目のメモリセル列に属するメモリセル群は、1本のライトワード線WWL2を共有する。以降のメモリセル列に対しても、ライトワード線WWLは、同様に配置される。

【0483】ここで、データ書込を正常に実行するためには、同一のライトワード線WWLおよび同一のライトビット線WBLの交点に配置されるメモリセルMCが複数個存在しないことが必要である。したがって、メモリセルMCは交互配置される。

【0484】さらに、実施の形態6と同様に、行方向に隣接するメモリセルは、リードビット線RBLを共有する。

【0485】リードビット線RBLおよびライトビット線WBLに対する、データ書込およびデータ読出に関する周辺回路の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態6と同様であるので、詳細な説明は繰り返さない。

【0486】すでに説明したように、実施の形態6に従うMTJメモリセルにおいては、ライトワード線WWLに対して、総体的に大きなデータ書込電流を流す必要がある。したがって、ライトワード線WWLを隣接するメモリセル間で共有して配線ピッチを確保することにより、ライトワード線WWLの配線幅すなわち断面積を確保して電流密度を抑制できる。この結果、MRAMデバイスの信頼性を向上させることができる。さらに、すでに説明したように、これらの配線の材質をエレクトロマイグレーション耐性を考慮して選択することも動作信頼性の向上に効果がある。

【0487】〔実施の形態6の変形例2〕図46は、メモリアレイ10およびその周辺回路の実施の形態6の変形例2に従う構成を説明するための図である。

【0488】図46を参照して、実施の形態6の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリセルによって、同一のリードワード線RWLがさらに共有される。たとえば、第2番目および第3番目のメモリセル行に属するメモリセル群は、同一のリードワード線RWL1を共有する。以降のメモリセル行に対しても、リードワード線RWLは、同様に配置される。

【0489】ここで、データ読出を正常に実行するためには、同一のリードワード線RWLによって選択される複数メモリセルMCが、同一のリードビット線RBLに同時に結合されないことが必要である。したがって、リードビット線RBLは、各メモリセル列ごとに配置され、さらに、メモリセルMCは交互配置される。

【0490】このような構成とすることにより、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0491】〔実施の形態6の変形例3〕図47は、メモリアレイ10およびその周辺回路の実施の形態6の変形例3に従う構成を説明するための図である。

【0492】図47を参照して、行列状に配置された実施の形態6に従う構成のメモリセルに対して、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のリードビット線RBLを用いて折返し型ビット線構成が実現される。たとえば、第1番目および第2番目のメモリセル列にそれぞれ対応するリードビット線RBL1およびRBL2（／RBL1）によって、リードビット線対を構成することができる。

【0493】同様に、隣接する2個のメモリセル行によって形成されるメモリセル行の組ごとに、対応する2本のライトビット線WBLを用いて折返し型ビット線構成が実現される。たとえば、第1番目および第2番目のメモリセル行にそれぞれ対応するライトビット線WBL1およびWBL2（／WBL1）によって、ライトビット線対を構成することができる。

【0494】ライトビット線対を構成するライトビット線WBLおよび／WBLに対する行選択およびデータ書込電流 I_w の供給と、リードビット線対を構成するリードビット線RBLおよび／RBLに対する列選択およびセンス電流 I_s の供給とを行なうための周辺回路の構成は、図39と同様であるので詳細な説明は繰り返さない。

【0495】したがって、実施の形態6に従うメモリセルを行列状に配置した場合においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。

【0496】〔実施の形態6の変形例4〕実施の形態6の変形例4においては、実施の形態6の変形例3に示した折返し型ビット線構成に加えて、隣接メモリセル間に

おけるライトビット線WBLの共有が図られる。

【0497】図48は、メモリアレイ10およびその周辺回路の実施の形態6の変形例4に従う構成を説明するための図である。

【0498】図48を参照して、実施の形態6の変形例4に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のライトビット線WBLを共有する。

【0499】リードワード線RWLが活性化されるデータ読出時においては、各リードビット線RBLに対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとにリードビット線対を形成して、折返し型ビット線構成に基づく、実施の形態6の変形例3と同様のデータ読出を実行できる。

【0500】一方、データ書込時においては、ライトビット線WBLを共有するために、折返し型ビット線構成に基づくデータ書込を行なうことはできない。したがって、実施の形態6の変形例4においては、ライトビット線WBLの選択に関連する周辺回路は、図44に示したのと同様に配置される。これにより、実施の形態6の場合と同様に、簡易な回路構成のデータ書込回路51bを用いて、データ書込を実行することができる。

【0501】また、折返し型ビット線構成に基づくデータ書込を実行することはできないものの、メモリアレイ10におけるライトビットWBLの配線ピッチを緩和することができる。この結果、メモリアレイ10の高集積化によるMRAMデバイスのチップ面積削減を、さらに図ることができる。

【0502】なお、図48の構成では、データ書込系の信号配線のうち、ライトビット線WBLを隣接メモリセル間で共有する構成を示したが、ライトビット線に代えてライトワード線WWLを共有する構成とすることも可能である。ただし、この場合には、ライトビット線WBLは共有することができず各メモリセル行ごとに配置する必要がある。いずれの配線を共有して配線ピッチを緩和するかについては、磁気トンネル接合部MTJからの距離等を考慮して定めればよい。

【0503】〔実施の形態6の変形例5〕実施の形態6の変形例5においては、実施の形態5の変形例3に示した折返し型ビット線構成に加えて、隣接するメモリセル間におけるリードワード線RWLの共有が図られる。

【0504】図49は、メモリアレイ10およびその周辺回路の実施の形態6の変形例5に従う構成を説明するための図である。

【0505】図49を参照して、実施の形態6の変形例5に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のリードワード線RWLを共有する。

【0506】読出／書込制御回路60は、実施の形態5

の変形例 3 と同様に配置されるイコライズトランジスタ 62、プリチャージトランジスタ 64 およびライトビット線電圧制御トランジスタ 65 を含む。

【0507】ライトワード線WWLが活性化されるデータ書込時においては、各ライトビット線WBLに対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル行で形成されるメモリセル行の組ごとにライトビット線対を形成できる。この結果、折返し型ビット線構成に基づく、実施の形態5の変形例3と同様のデータ書込を実行して、同様の効果を享受できる。

【0508】一方、複数のメモリセル行間で共有されるリードワード線RWLが活性化されるデータ読出時においては、折返し型ビット線構成に基づくデータ読出を行なうことはできない。したがって、実施の形態6の変形例5においては、リードビット線RBLの選択に関連する周辺回路は、図44に示したのと同様に配置される。

【0509】このような構成とすることにより、折返し型ビット線構成による動作マージン確保を図ることはできないものの、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和した上で、データ読出を正常に実行できる。この結果、メモリアレイ10の高集積化によるMRAMデバイスのチップ面積削減を図ることができる。

【0510】したがって、実施の形態6に従うメモリセルを用いて、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線RWLの共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0511】なお、図49の構成では、データ読出系の信号配線のうち、リードワード線RWLを隣接メモリセル間で共有する構成を示したが、リードワード線RWLに代えてリードビット線RBLを共有する構成とすることも可能である。ただし、この場合には、リードワード線RWLは共有することができず各メモリセル行ごとに配置する必要がある。いずれの配線を共有して配線ピッチを緩和するかについては、構造上の条件や設計の都合等を考慮して適宜定めればよい。

【0512】〔実施の形態7〕図50は、実施の形態7に従うMTJメモリセルの接続態様を示す回路図である。

【0513】図50を参照して、リードビット線RBLは、アクセストランジスタATRを介して磁気トンネル接合部MTJと結合される。磁気トンネル接合部MTJは、ライトワード線WWLおよびアクセストランジスタATRの間に結合される。リードワード線RWLは、アクセストランジスタATRのゲートと結合される。図50の構成においても、リードワード線RWLとライトワード線WWLとは互いに直交する方向に配置される。

【0514】図51は、実施の形態7に従うMTJメモ

リセルの配置を示す構造図である。図51を参照して、リードビット線RBLは、金属配線層M1に配置される。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に形成される。リードビット線RBLは、アクセストランジスタATRのソース/ドレイン領域110と結合される。ソース/ドレイン領域120は、第1および第2の金属配線層M1およびM2に設けられた金属配線、バリアメタル140およびコンタクトホールに設けられた金属膜150を介して磁気トンネル接合部MTJと結合される。

【0515】ライトビット線WBLは、磁気トンネル接合部MTJと近接して第2の金属配線層M2に設けられる。ライトワード線WWLは、磁気トンネル接合部MTJと電気的に結合されて第3の金属配線層M3に配置される。

【0516】このような構成とすることにより、リードビット線RBLは、アクセストランジスタATRを介して磁気トンネル接合部MTJと結合される。これにより、リードビット線RBLは、データ読出の対象となる、すなわち対応するリードワード線RWLが選択状態（Hレベル）に活性化されたメモリセル行に属するMTJメモリセルMCとのみ電気的に結合される。この結果、リードビット線RBLの容量を抑制して、データ読出動作を高速化することができる。

【0517】なお、実施の形態7に従うMTJメモリセルにおける、データ書込およびデータ読出時の各配線の電圧および電流波形は、図33と同様であるので、詳細な説明は繰り返さない。

【0518】実施の形態7に従うMTJメモリセルにおいても、ライトビット線WBLと磁気トンネル接合部MTJとの間の距離を、図34に示した実施の形態5に従うMTJメモリセルと比較して小さくすることができる。したがって、ライトビット線WBLを流れるデータ書込電流量を低減できる。

【0519】また、磁気トンネル接合部MTJとの間の距離は、ライトビット線WBLの方が、ライトワード線WWLよりも大きくなるので、実施の形態7に従うMTJメモリセルにおいては、ライトビット線WBLの方に相対的に大きなデータ書込電流を流す必要がある。

【0520】図52は、メモリアレイ10およびその周辺回路の実施の形態7に従う構成を説明するための図である。

【0521】図52を参照して、実施の形態7に従うメモリアレイ10においては、図50に示される構成を有するメモリセルMCが行列状に配置される。リードワード線RWLおよびライトワード線WWLは、行方向および列方向に沿ってそれぞれ配置され、リードビット線RBLおよびライトビット線WBLは、列方向および行方向に沿ってそれぞれ配置される。

【0522】行方向に隣接するメモリセルは、リードビ

ット線RBLを共有する。また、列方向に隣接するメモリセルは、ライトビット線WBLを共有する。

【0523】たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、同一のリードビット線RBL1を共有し、第3番目および第4番目のメモリセル列に属するメモリセル群は、同一のリードビット線RBL2を共有する。さらに、第2番目および第3番目のメモリセル行に属するメモリセル群によって、ライトビット線WBL2が共有される。以降のメモリセル行およびメモリセル列に対しても、リードビット線RBLおよびライトビット線WBLは、同様に交互に配置される。

【0524】同一のリードビット線RBLもしくはライトビット線WBLに対応して、複数のメモリセルMCがデータ読出もしくはデータ書込の対象となるとデータ衝突が発生するので、メモリセルMCは交互配置される。

【0525】このような構成とすることにより、メモリアレイ10におけるリードビット線RBLおよびライトビット線WBLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0526】リードビット線RBLおよびライトビット線WBLに対して、選択的にデータ書込電流およびセンス電流を供給するための周辺回路の構成は、図35と同様であるので、詳細な説明は繰り返さない。

【0527】すでに説明したように、実施の形態7に従うMTJメモリセルにおいては、ライトビット線WBLに対して、総体的に大きなデータ書込電流を流す必要がある。したがって、ライトビット線WBLを隣接するメモリセル間で共有して配線ピッチを確保することにより、ライトビット線WBLの配線幅すなわち断面積を確保して電流密度を抑制できる。この結果、MRAMデバイスの信頼性を向上させることができる。さらに、すでに説明したように、これらの配線の材質をエレクトロマイグレーション耐性を考慮して選択することも動作信頼性の向上に効果がある。

【0528】〔実施の形態7の変形例1〕図53は、メモリアレイ10およびその周辺回路の実施の形態7の変形例1に従う構成を説明するための図である。

【0529】図53を参照して、実施の形態7の変形例1に従うメモリアレイ10においては、隣接するメモリセルは、同一のライトワード線WWLを共有する。たとえば、第2番目および第3番目のメモリセル列に属するメモリセル群は、1本のライトワード線WWL2を共有する。以降のメモリセル列に対しても、ライトワード線WWLは、同様に配置される。

【0530】ここで、データ書込を正常に実行するためには、同一のライトワード線WWLおよび同一のライトビット線WBLの交点に配置されるメモリセルMCが複

数個存在しないことが必要である。したがって、メモリセルMCは交互配置される。

【0531】さらに、実施の形態7と同様に、行方向に隣接するメモリセルは、リードビット線RBLを共有する。

【0532】リードビット線RBLおよびライトビット線WBLに対する、データ書込およびデータ読出に関する周辺回路の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態7と同様であるので、詳細な説明は繰り返さない。

【0533】このような構成とすることにより、メモリアレイ10におけるリードビット線RBLおよびライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0534】〔実施の形態7の変形例2〕図54は、メモリアレイ10およびその周辺回路の実施の形態7の変形例2に従う構成を説明するための図である。

【0535】図54を参照して、実施の形態7の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリセルによって、同一のリードワード線RWLが共有される。たとえば、第2番目および第3番目のメモリセル行に属するメモリセル群は、同一のリードワード線RWL1を共有する。以降のメモリセル行に対しても、リードワード線RWLは、同様に配置される。

【0536】さらに、行方向に隣接するメモリセルによって、同一のライトワード線WWLが共有される。たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、同一のライトワード線WWL1を共有する。以降のメモリセル列に対しても、ライトワード線RWLは、同様に配置される。

【0537】ここで、データ読出およびデータ書込を正常に実行するためには、同一のリードワード線RWLもしくはライトワード線WWLによって選択される複数メモリセルMCが、同一のリードビット線RBLもしくはライトビット線WBLに同時に結合されないことが必要である。したがって、リードビット線RBLおよびライトビット線WBLは、各メモリセル列および各メモリセル行ごとにそれぞれ配置され、さらに、メモリセルMCは交互配置される。

【0538】その他の部分の構成は、実施の形態7と同様であるので、詳細な説明は繰り返さない。

【0539】このような構成とすることにより、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0540】〔実施の形態7の変形例3〕図55は、メ

モリアレイ 10 およびその周辺回路の実施の形態 7 の変形例 3 に従う構成を説明するための図である。

【0541】図 55 を参照して、行列状に配置された実施の形態 7 に従う構成のメモリセルに対して、隣接する 2 個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する 2 本のリードビット線 RBL を用いて折返し型ビット線構成が実現される。たとえば、第 1 番目および第 2 番目のメモリセル列にそれぞれ対応するリードビット線 RBL1 および RBL2 (／RBL1) によって、リードビット線対を構成することができる。

【0542】同様に、隣接する 2 個のメモリセル行によって形成されるメモリセル行の組ごとに、対応する 2 本のライトビット線 WBL を用いて折返し型ビット線構成が実現される。たとえば、第 1 番目および第 2 番目のメモリセル行にそれぞれ対応するライトビット線 WBL1 および WBL2 (／WBL1) によって、ライトビット線対を構成することができる。

【0543】ライトビット線対を構成するライトビット線 WBL および／WBL に対する行選択およびデータ書込電流 I_w の供給と、リードビット線対を構成するリードビット線 RBL および／RBL に対する列選択およびセンス電流 I_s の供給とを行なうための周辺回路の構成は、図 39 と同様であるので詳細な説明は繰り返さない。

【0544】したがって、実施の形態 7 に従うメモリセルを行列状に配置した場合においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。

【0545】〔実施の形態 7 の変形例 4〕実施の形態 7 の変形例 4 においては、実施の形態 7 の変形例 3 に示した折返し型ビット線構成に加えて、隣接メモリセル間におけるライトワード線 WWL の共有が図られる。

【0546】図 56 は、モリアレイ 10 およびその周辺回路の実施の形態 7 の変形例 4 に従う構成を説明するための図である。

【0547】図 56 を参照して、実施の形態 7 の変形例 4 に従うモリアレイ 10 においては、行方向に隣接するメモリセルは、同一のライトワード線 WWL を共有する。

【0548】リードワード線 RWL が活性化されるデータ読出時においては、各リードビット線 RBL に対して 1 本おきにメモリセル列が接続されるので、隣接する 2 個のメモリセル列で形成されるメモリセル列の組ごとにリードビット線対を形成して、折返し型ビット線構成に基づく、実施の形態 7 の変形例 3 と同様のデータ読出を実行できる。

【0549】一方、データ書込時においては、ライトワード線 WWL を共有するために、折返し型ビット線構成に基づくデータ書込を行なうことはできない。したがって、実施の形態 7 の変形例 4 においては、ライトビット

線 WBL の選択に関連する周辺回路は、図 52 に示したのと同様に配置される。これにより、実施の形態 7 の場合と同様に、簡易な回路構成のデータ書込回路 51b を用いて、データ書込を実行することができる。

【0550】また、折返し型ビット線構成に基づくデータ書込を実行することはできないものの、モリアレイ 10 におけるライトワード線 WWL の配線ピッチを緩和することができる。この結果、モリアレイ 10 の高集積化による MRAM デバイスのチップ面積削減を、さらに図ることができる。

【0551】なお、図 56 の構成では、データ書込系の信号配線のうち、ライトワード線 WWL を隣接メモリセル間で共有する構成を示したが、ライトワード線に代えてライトビット線 WBL を共有する構成とすることも可能である。ただし、この場合には、ライトビット線 WBL は共有することができず各メモリセル行ごとに配置する必要がある。いずれの配線を共有して配線ピッチを緩和するかについては、磁気トンネル接合部 MTJ からの距離等を考慮して定めればよい。

【0552】〔実施の形態 7 の変形例 5〕実施の形態 7 の変形例 5 においては、実施の形態 7 の変形例 3 に示した折返し型ビット線構成に加えて、隣接するメモリセル間におけるリードワード線 RWL の共有が図られる。

【0553】図 57 は、モリアレイ 10 およびその周辺回路の実施の形態 7 の変形例 5 に従う構成を説明するための図である。

【0554】図 57 を参照して、実施の形態 6 の変形例 5 に従うモリアレイ 10 においては、列方向に隣接するメモリセルは、同一のリードワード線 RWL を共有する。

【0555】読出／書込制御回路 60 は、実施の形態 7 の変形例 3 と同様に配置されるイコライズトランジスタ 62、プリチャージトランジスタ 64 およびライトビット線電圧制御トランジスタ 65 を含む。

【0556】ライトワード線 WWL が活性化されるデータ書込時においては、各ライトビット線 WBL に対して 1 本おきにメモリセル列が接続されるので、隣接する 2 個のメモリセル行で形成されるメモリセル行の組ごとにライトビット線対を形成できる。この結果、折返し型ビット線構成に基づく、実施の形態 5 の変形例 3 と同様のデータ書込を実行して、同様の効果を享受できる。

【0557】一方、複数のメモリセル行間で共有されるリードワード線 RWL が活性化されるデータ読出時においては、折返し型ビット線構成に基づくデータ読出を行なうことはできない。したがって、実施の形態 7 の変形例 5 においては、リードビット線 RBL の列選択に関連する周辺回路は、図 52 に示したのと同様に配置される。

【0558】このような構成とすることにより、折返し型ビット線構成による動作マージン確保を図ることはで

きないものの、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和した上で、データ読出を正常に実行できる。この結果、メモリアレイ10の高集積化によるMRAMデバイスのチップ面積削減を図ることができる。

【0559】したがって、実施の形態7に従うメモリセルを用いて、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線RWLの共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0560】なお、図57の構成では、データ読出系の信号配線のうち、リードワード線RWLを隣接メモリセル間で共有する構成を示したが、リードワード線RWLに代えてリードビット線RBLを共有する構成とすることも可能である。ただし、この場合には、リードワード線RWLは共有することができず各メモリセル行ごとに配置する必要がある。いずれの配線を共有して配線ピッチを緩和するかについては、構造上の条件や設計の都合等を考慮して適宜定めればよい。

【0561】〔実施の形態8〕図58は、実施の形態8に従うMTJメモリセルの接続態様を示す回路図である。

【0562】図58を参照して、実施の形態8に従うMTJメモリセルは、図50に示される実施の形態7に従うMTJメモリセルと比較して、リードビット線RBLとライトワード線WWLとの配置を入替えた構成となっている。その他の配線の配置については、図50と同様であるので説明は繰返さない。このような構成としても、リードワード線RWLとライトワード線WWLとは互いに直交する方向に配置することができる。

【0563】図59は、実施の形態8に従うMTJメモリセルの配置を示す構造図である。図59を参照して、実施の形態6の変形例3に従うMTJメモリセルにおいては、図51に示した実施の形態6の変形例2に従うMTJメモリセルの構造と比較して、ライトワード線WWLとリードビット線RBLの配置される位置が入れ替わっている。すなわち、ライトワード線WWLは、第1の金属配線層M1に設けられて、アクセストランジスタATRのソース／ドレイン領域110と結合される。一方、リードビット線RBLは、磁気トンネル接合部MTJと電気的に結合するように第3の金属配線層M3に設けられる。

【0564】このように、実施の形態8に従う構成においては、リードビット線RBLが磁気トンネル接合部MTJと直接結合されるので、実施の形態7に示したようなデータ読出動作の高速化を図ることはできない。しかしながら、実施の形態8に従う構成においても、リードワード線ドライバ30rとライトワード線ドライバ30wとを独立に配置して、実施の形態7と同様の効果を得

ることができる。

【0565】なお、実施の形態8に従うMTJメモリセルにおける、データ書込およびデータ読出時の各配線の電圧および電流波形は、図33と同様であるので、詳細な説明は繰返さない。

【0566】また、実施の形態8に従うMTJメモリセルにおいては、磁気トンネル接合部MTJとの間の距離は、ライトワード線WWLの方が、ライトビット線WBLよりも大きくなるので、ライトワード線WWLの方に相対的に大きなデータ書込電流を流す必要がある。

【0567】図60は、メモリアレイ10およびその周辺回路の実施の形態8に従う構成を説明するための図である。

【0568】図60を参照して、実施の形態7に従うメモリアレイ10においては、図58に示される構成を有するメモリセルMCが行列状に配置される。リードワード線RWLおよびライトワード線WWLは、行方向および列方向に沿ってそれぞれ配置され、リードビット線RBLおよびライトビット線WBLは、列方向および列方向に沿ってそれぞれ配置される。

【0569】行方向に隣接するメモリセルは、ライトワード線WWLを共有する。たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、同一のライトワード線WWL1を共有し、第3番目および第4番目のメモリセル列に属するメモリセル群は、同一のライトワード線WWL2を共有する。以降のメモリセル列に対しても、ライトワード線WWLは、同様に交互に配置される。

【0570】同一のライトビット線WBLに対応して、複数のメモリセルMCがデータ書込の対象となるとデータ衝突が発生するので、メモリセルMCは交互配置される。

【0571】このような構成とすることにより、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0572】リードビット線RBLおよびライトビット線WBLに対して、選択的にデータ書込電流およびセンス電流を供給するための周辺回路の構成は、図35と同様であるので、詳細な説明は繰返さない。

【0573】すでに説明したように、実施の形態8に従うMTJメモリセルにおいては、ライトワード線WWLに対して、総体的に大きなデータ書込電流を流す必要がある。したがって、ライトワード線WWLを隣接するメモリセル間で共有して配線ピッチを確保することにより、ライトワード線WWLの配線幅すなわち断面積を確保して電流密度を抑制できる。この結果、MRAMデバイスの信頼性を向上させることができる。さらに、すでに説明したように、これらの配線の材質をエレクトロマ

イグレーション耐性を考慮して選択することも動作信頼性の向上に効果がある。

【0574】〔実施の形態8の変形例1〕図61は、メモリアレイ10およびその周辺回路の実施の形態8の変形例1に従う構成を説明するための図である。

【0575】図61を参照して、実施の形態8の変形例1に従うメモリアレイ10においては、隣接するメモリセルは、同一のリードビット線RBLを共有する。たとえば、第2番目および第3番目のメモリセル列に属するメモリセル群は、同一のリードビット線RBL2を共有する。以降のメモリセル列に対しても、リードビット線RBLは、同様に配置される。

【0576】データ読出を正常に実行するためには、同一のリードワード線RWLおよび同一のリードビット線RBLの交点に配置されるメモリセルMCが複数個存在しないことが必要である。したがって、メモリセルMCは交互配置される。

【0577】さらに、隣接するメモリセルによって、同一のライトビット線WBLが共有される。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、同一のライトビット線WBL1を共有する。以降のメモリセル行に対しても、ライトビット線WBLは、同様に配置される。

【0578】ここで、データ書込を正常に実行するためには、同一のライトワード線WWLおよび同一のライトビット線WBLの交点に配置されるメモリセルMCが複数個存在しないことが必要である。

【0579】リードビット線RBLおよびライトビット線WBLに対する、データ書込およびデータ読出に関する周辺回路の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態8と同様であるので、詳細な説明は繰り返さない。

【0580】このような構成とすることにより、メモリアレイ10におけるリードビット線RBLおよびライトビット線WBLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0581】〔実施の形態8の変形例2〕図62は、メモリアレイ10およびその周辺回路の実施の形態8の変形例2に従う構成を説明するための図である。

【0582】図62を参照して、実施の形態8の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリセルによって、同一のリードワード線RWLが共有される。たとえば、第2番目および第3番目のメモリセル行に属するメモリセル群は、同一のリードワード線RWL1を共有する。以降のメモリセル行に対しても、リードワード線RWLは、同様に配置される。

【0583】さらに、列方向に隣接するメモリセルによって、同一のライトビット線WBLが共有される。たと

えば、第1番目および第2番目のメモリセル行に属するメモリセル群は、同一のライトビット線WBL1を共有する。以降のメモリセル行に対しても、ライトビット線WBLは、同様に配置される。

【0584】ここで、データ読出を正常に実行するためには、同一のリードワード線RWLによって選択される複数メモリセルMCが、同一のリードビット線RBLに同時に結合されないことが必要である。したがって、リードワード線RWLは、各メモリセル行ごとに配置され、さらに、メモリセルMCは交互配置される。

【0585】その他の部分の構成は、実施の形態8と同様であるので、詳細な説明は繰り返さない。

【0586】このような構成とすることにより、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0587】〔実施の形態8の変形例3〕図63は、メモリアレイ10およびその周辺回路の実施の形態8の変形例3に従う構成を説明するための図である。

【0588】図63を参照して、行列状に配置された実施の形態8に従う構成のメモリセルに対して、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のリードビット線RBLを用いて折返し型ビット線構成が実現される。たとえば、第1番目および第2番目のメモリセル列にそれぞれ対応するリードビット線RBL1およびRBL2（／RBL1）によって、リードビット線対を構成することができる。

【0589】同様に、隣接する2個のメモリセル行によって形成されるメモリセル行の組ごとに、対応する2本のライトビット線WBLを用いて折返し型ビット線構成が実現される。たとえば、第1番目および第2番目のメモリセル行にそれぞれ対応するライトビット線WBL1およびWBL2（／WBL1）によって、ライトビット線対を構成することができる。

【0590】ライトビット線対を構成するライトビット線WBLおよび／WBLに対する行選択およびデータ書込電流 I_w の供給と、リードビット線対を構成するリードビット線RBLおよび／RBLに対する列選択およびセンス電流 I_s の供給とを行なうための周辺回路の構成は、図39と同様であるので詳細な説明は繰り返さない。

【0591】したがって、実施の形態8に従うメモリセルを行列状に配置した場合においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。

【0592】〔実施の形態8の変形例4〕実施の形態8の変形例4においては、実施の形態8の変形例3に示した折返し型ビット線構成に加えて、隣接メモリセル間におけるライトワード線WWLの共有が図られる。

【0593】図64は、メモリアレイ10およびその周辺回路の実施の形態8の変形例4に従う構成を説明するための図である。

【0594】図64を参照して、実施の形態8の変形例4に従うメモリアレイ10においては、行方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。

【0595】リードワード線RWLが活性化されるデータ読出時においては、各リードビット線RBLに対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとにリードビット線対を形成して、折返し型ビット線構成に基づく、実施の形態8の変形例3と同様のデータ読出を実行できる。

【0596】一方、データ書込時においては、ライトワード線WWLを共有するために、折返し型ビット線構成に基づくデータ書込を行なうことはできない。したがって、実施の形態8の変形例4においては、ライトビット線WBLの選択に関連する周辺回路は、図60に示したのと同様に配置される。これにより、実施の形態8の場合と同様に、簡易な回路構成のデータ書込回路51bを用いて、データ書込を実行することができる。

【0597】また、折返し型ビット線構成に基づくデータ書込を実行することはできないものの、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和することができる。この結果、メモリアレイ10の高集積化によるMRAMデバイスのチップ面積削減をさらに図ることができる。

【0598】なお、図64の構成では、データ書込系の信号配線のうち、ライトワード線WWLを隣接メモリセル間で共有する構成を示したが、ライトワード線に代えてライトビット線WBLを共有する構成とすることも可能である。ただし、この場合には、ライトビット線WBLは共有することができず各メモリセル行ごとに配置する必要がある。いずれの配線を共有して配線ピッチを緩和するかについては、磁気トンネル接合部MTJからの距離等を考慮して定めればよい。

【0599】【実施の形態8の変形例5】実施の形態8の変形例5においては、実施の形態8の変形例3に示した折返し型ビット線構成に加えて、隣接するメモリセル間におけるリードワード線RWLの共有が図られる。

【0600】図65は、メモリアレイ10およびその周辺回路の実施の形態8の変形例5に従う構成を説明するための図である。

【0601】図65を参照して、実施の形態8の変形例5に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のリードワード線RWLを共有する。

【0602】読出／書込制御回路60は、実施の形態8の変形例3と同様に配置されるイコライズトランジスタ

62、プリチャージトランジスタ64およびライトビット線電圧制御トランジスタ65を含む。

【0603】ライトワード線WWLが活性化されるデータ書込時においては、各ライトビット線WBLに対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル行で形成されるメモリセル行の組ごとにライトビット線対を形成できる。この結果、折返し型ビット線構成に基づく、実施の形態8の変形例3と同様のデータ書込を実行して、同様の効果を享受できる。

10 【0604】一方、複数のメモリセル行間で共有されるリードワード線RWLが活性化されるデータ読出時においては、折返し型ビット線構成に基づくデータ読出を行なうことはできない。したがって、実施の形態8の変形例5においては、リードビット線RBLの選択に関連する周辺回路は、図60に示したのと同様に配置される。

20 【0605】このような構成とすることにより、折返し型ビット線構成による動作マージン確保を図ることはできないものの、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和した上で、データ読出を正常に実行できる。この結果、メモリアレイ10の高集積化によるMRAMデバイスのチップ面積削減を図ることができる。

【0606】したがって、実施の形態8に従うメモリセルを用いて、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線RWLの共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

30 【0607】なお、図65の構成では、データ読出系の信号配線のうち、リードワード線RWLを隣接メモリセル間で共有する構成を示したが、リードワード線RWLに代えてリードビット線RBLを共有する構成とすることも可能である。ただし、この場合には、リードワード線RWLは共有することができず各メモリセル行ごとに配置する必要がある。いずれの配線を共有して配線ピッチを緩和するかについては、構造上の条件や設計の都合等を考慮して適宜定めればよい。

40 【0608】【実施の形態9】図66は、実施の形態9に従うMTJメモリセルの接続態様を示す回路図である。

【0609】図66を参照して、アクセストランジスタATRは、磁気トンネル接合部MTJとライトビット線WBLとの間に電氣的に結合される。磁気トンネル接合部MTJは、アクセストランジスタATRと共通配線CMLとの間に結合される。アクセストランジスタATRのゲートはリードワード線RWLと結合される。図66の構成においても、ライトワード線WWLとして機能する共通配線CMLと、リードワード線RWLとは互いに直交する方向に配置されるので、両者のドライブ回路を独立に配置して、レイアウト設計の自由度を向上させる

ことができる。

【0610】図67は、実施の形態9に従うMTJメモリセルに対するデータ書込およびデータ読出を説明するためのタイミングチャート図である。

【0611】図67を参照して、データ書込時においては、ライトビット線WBLにデータ書込電流 I_w が流される。また、後に説明する電流制御トランジスタのオンによって、行列選択結果に応じて選択列に対応する共通配線CMLにデータ書込電流 I_p が流れる。このように、データ書込時における共通配線CMLの電圧および電流は、図33に示されるライトワード線WWLと同様に設定される。

【0612】これにより書込データDINのデータレベルに応じた磁界を磁気トンネル接合部MTJに書込むことができる。また、図33に示されるように、リードビット線RBLはデータ書込時において特に必要とはされないで、両者の機能を共通配線CMLに統合することができる。

【0613】データ書込時以外においては、上述した電流制御トランジスタはターンオフされて、データ読出前においては、共通配線CMLは接地電圧 V_{ss} にプリチャージされている。

【0614】データ読出時においては、ライトビット線WBLの電圧レベルを接地電圧レベル V_{ss} に設定する。さらに、共通配線CMLにデータ読出のためのセンス電流 I_s が供給される。したがって、データ読出時においては、リードワード線RWLを選択状態(Hレベル)に活性化することによって、アクセストランジスタATRをターンオンして、共通配線CML～磁気トンネル接合部MTJ～アクセストランジスタATR～ライトビット線WBLの経路にセンス電流 I_s を流すことができる。

【0615】センス電流 I_s の電流経路がMTJメモリセル内に形成されると、記憶データに応じた電圧変化(上昇)が共通配線CMLに生じる。

【0616】図67においては、一例として記憶されるデータレベルが“1”である場合に、固定磁気層FLと自由磁気層VLにおける磁界方向が同一であるとする、記憶データが“1”である場合に共通配線CMLの電圧変化 ΔV_1 は小さく、記憶データが“0”である場合の共通配線CMLの電圧変化 ΔV_2 は、 ΔV_1 よりも大きくなる。共通配線CMLに生じる電圧変化 ΔV_1 および ΔV_2 の差を検知することによって、MTJメモリセルの記憶データを読出すことができる。

【0617】また、図33に示されるとおり、ライトワード線WWLは、データ読出時において特に必要とはされないで、ライトワード線WWLおよびリードビット線RBLを共通配線CMLに統合することができる。

【0618】このように、ライトワード線WWLおよびリードビット線RBLの機能を統合した共通配線CML

を用いた、配線数が削減されたMTJメモリセルに対しても、同様のデータ書込およびデータ読出を実行できる。

【0619】また、リードビット線RBLとして機能する共通配線CMLにおいて、データ読出に備えたプリチャージ電圧とデータ書込時における設定電圧とを同一の接地 V_{ss} に揃えているので、データ読出の開始時におけるプリチャージ動作を効率化することができ、データ読出動作の高速化が図られる。

10 【0620】図68は、実施の形態9に従うMTJメモリセルの配置を説明する構造図である。

【0621】図68を参照して、ライトビット線WBLは、第1の金属配線層M1に配置され、リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に配置される。ライトビット線WBLは、アクセストランジスタATRのソース/ドレイン領域110と電気的に結合される。他方のソース/ドレイン領域120は、第1の金属配線層M1に設けられた金属配線、バリアメタル140およびコンタクトホールに設けられる金属膜150を介して、磁気トンネル接合部MTJと結合される。

【0622】共通配線CMLは、磁気トンネル接合部MTJと電気的に結合するように第2の金属配線層M2に設けられる。このように、共通配線CMLにリードビット線RBLおよびライトワード線WWL機能の両方を併せ持つようにすることにより実施の形態6に従うMTJメモリセルが奏する効果に加えて、配線数および金属配線層の数を削減して製造コストの削減を図ることができる。

30 【0623】また、実施の形態9に従うMTJメモリセルにおいては、磁気トンネル接合部MTJとの間の距離は、ライトビット線WBLの方が、ライトワード線WWLとして機能する共通配線CMLよりも大きくなる。この結果、実施の形態9に従うMTJメモリセルにおいては、ライトビット線WBLに相対的に大きなデータ書込電流を流す必要がある。

【0624】図69は、メモリアレイ10およびその周辺回路の実施の形態9に従う構成を説明するための図である。

40 【0625】図69を参照して、実施の形態9に従うメモリアレイ10においては、図66に示される構成を有するメモリセルMCが行列状に配置される。リードワード線RWLおよびライトビット線WBLは、行方向に沿って配置される。共通配線およびCMLは、列方向に沿って配置される。

【0626】行方向に隣接するメモリセルは、共通配線CMLを共有する。たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、同一の共通配線CML1を共有し、第3番目および第4番目のメモリセル列に属するメモリセル群は、同一の共通配線CML

2を共有する。以降のメモリセル列に対しても、共通配線CMLは、同様に配置される。

【0627】同一の共通配線CMLに対応して、複数のメモリセルMCがデータ書込およびデータ読出の対象となるとデータ衝突が発生するので、メモリセルMCは交互配置される。

【0628】このような構成とすることにより、メモリアレイ10における共通配線CMLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0629】共通配線CMLに対しては、図35においてリードビット線RBLに対して設けられた、選択的にセンス電流を供給するための周辺回路が配置される。

【0630】さらに、各共通配線CMLに対応して、電流制御トランジスタが配置される。図69においては、共通配線CML1およびCML2にそれぞれ対応する、電流制御トランジスタ41-1および41-2が代表的に示される。以下においては、電流制御トランジスタを総括的に表記する場合には、単に符号41を用いることとする。

【0631】電流制御トランジスタ41は、対応する共通配線CMLと接地電圧 V_{ss} との間に配置される。電流制御トランジスタ41は、共通配線CMLがライトワード線WWLとして機能するデータ書込時において、制御信号WEの活性化にตอบสนองしてオンする。これにより、ライトワード線ドライバ30wによって、選択状態（電源電圧 V_{cc} ）に活性化された共通配線CMLに、データ書込電流 I_p を流すことができる。

【0632】図67で説明したように、共通配線CMLのデータ読出前のプリチャージ電圧は、接地電圧 V_{ss} に設定されるので、電流制御トランジスタ41を、ビット線プリチャージ信号BLPRにตอบสนองしてさらに動作させることにより、プリチャージトランジスタ44の配置を省略できる。

【0633】一方、ライトビット線WBLに対して、選択的にデータ書込電流を供給するための周辺回路の構成は、図35と同様であるので、詳細な説明は繰り返さない。

【0634】〔実施の形態9の変形例1〕図70は、メモリアレイ10およびその周辺回路の実施の形態9の変形例1に従う構成を説明するための図である。

【0635】図70を参照して、実施の形態9の変形例1に従うメモリアレイ10においては、隣接するメモリセルは、同一のライトビット線WBLを共有する。たとえば、第2番目および第3番目のメモリセル行に属するメモリセル群は、同一のライトビット線WBL2を共有する。以降のメモリセル列に対しても、ライトWBLは、同様に配置される。

【0636】データ書込を正常に実行するためには、同

一の共通配線CMLおよび同一のライトビット線WBLの交点に配置されるメモリセルMCが複数個存在しないことが必要である。したがって、メモリセルMCは交互配置される。

【0637】共通配線CMLおよびライトビット線WBLに対する、データ書込およびデータ読出に関する周辺回路の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態9と同様であるので、詳細な説明は繰り返さない。

10 【0638】このような構成とすることにより、メモリアレイ10におけるライトビット線WBLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0639】すでに説明したように、実施の形態9に従うMTJメモリセルにおいては、ライトビット線WBLに対して、総括的に大きなデータ書込電流を流す必要がある。したがって、ライトビット線WBLを隣接するメモリセル間で共有して配線ピッチを確保することにより、ライトビット線WBLの配線幅すなわち断面積を確保して電流密度を抑制できる。この結果、MRAMデバイスの信頼性を向上させることができる。さらに、すでに説明したように、これらの配線の材質をエレクトロマイグレーション耐性を考慮して選択することも動作信頼性の向上に効果がある。

【0640】〔実施の形態9の変形例2〕図71は、メモリアレイ10およびその周辺回路の実施の形態9の変形例2に従う構成を説明するための図である。

【0641】図71を参照して、実施の形態9の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリセルによって、同一のリードワード線RWLが共有される。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、同一のリードワード線RWL1を共有する。以降のメモリセル行に対しても、リードワード線RWLは、同様に配置される。

【0642】さらに、列方向に隣接するメモリセルによって、同一のライトビット線WBLが共有される。たとえば、第2番目および第3番目のメモリセル行に属するメモリセル群は、同一のライトビット線WBL2を共有する。以降のメモリセル行に対しても、ライトビット線WBLは、同様に配置される。

【0643】ここで、データ読出を正常に実行するためには、同一のリードワード線RWLによって選択される複数メモリセルMCが、同一の共通配線CMLに同時に結合されないことが必要である。したがって、共通配線CMLは、各メモリセル行ごとに配置され、さらに、メモリセルMCは交互配置される。

【0644】その他の部分の構成は、実施の形態9と同様であるので、詳細な説明は繰り返さない。

50 【0645】このような構成とすることにより、メモリ

アレイ 10 におけるリードワード線 RWL およびライトビット線 WBL の配線ピッチを緩和できる。この結果、メモリセル MC を効率的に配置してメモリアレイ 10 を高集積化し、MRAM デバイスのチップ面積を削減することができる。

【0646】〔実施の形態 9 の変形例 3〕図 7 2 は、メモリアレイ 10 およびその周辺回路の実施の形態 9 の変形例 3 に従う構成を説明するための図である。

【0647】図 7 2 を参照して、行列状に配置された実施の形態 9 の変形例 3 に従う構成のメモリセルに対して、隣接する 2 個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する 2 本の共通配線 CML を用いて折返し型ビット線構成が実現される。たとえば、第 1 番目および第 2 番目のメモリセル列にそれぞれ対応する共通配線 CML 1 および CML 2 (／CML 1) によって、リードビット線対に相当するデータ線対を構成することができる。

【0648】同様に、隣接する 2 個のメモリセル行によって形成されるメモリセル行の組ごとに、対応する 2 本のライトビット線 WBL を用いて折返し型ビット線構成が実現される。たとえば、第 1 番目および第 2 番目のメモリセル行にそれぞれ対応するライトビット線 WBL 1 および WBL 2 (／WBL 1) によって、ライトビット線対を構成することができる。

【0649】ライトビット線対を構成するライトビット線 WBL および／WBL に対する行選択およびデータ書込電流 $\pm I_w$ の供給を行なうための周辺回路の構成は、図 3 9 と同様であるので詳細な説明は繰り返さない。

【0650】また、データ読出時においてデータ線対を構成する共通配線的一方ずつおよび他方ずつを、符号 CML および／CML を用いて総称すると、図 3 9 の構成におけるリードビット線 RBL および／RBL に対する列選択およびセンス電流 I_s の供給とを行なうための周辺回路の構成が、共通配線 CML および／CML にそれぞれ対応して配置される。

【0651】したがって、実施の形態 9 に従うメモリセルを行列状に配置した場合においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。

【0652】〔実施の形態 9 の変形例 4〕実施の形態 9 の変形例 4 においては、実施の形態 9 の変形例 3 に示した折返し型ビット線構成に加えて、隣接メモリセル間におけるライトビット線 WBL の共有が図られる。

【0653】図 7 3 は、メモリアレイ 10 およびその周辺回路の実施の形態 9 の変形例 4 に従う構成を説明するための図である。

【0654】図 7 3 を参照して、実施の形態 9 の変形例 4 に従うメモリアレイ 10 においては、列方向に隣接するメモリセルによって、ライトビット線 WBL が共有される。

【0655】一方、リードワード線 RWL が活性化されるデータ読出時においては、リードビット線 RBL として機能する各共通配線 CML に対して 1 本おきにメモリセル列が接続されるので、隣接する 2 個のメモリセル列で形成されるメモリセル列の組ごとにデータ線対を形成して、折返し型ビット線構成に基づく、実施の形態 9 の変形例 3 と同様のデータ読出を実行できる。

【0656】一方、データ書込時においては、ライトビット線 WBL を共有するために、折返し型ビット線構成に基づくデータ書込を行なうことはできない。したがって、実施の形態 9 の変形例 4 においては、ライトビット線 WBL の選択に関連する周辺回路は、図 6 9 に示したのと同様に配置される。これにより、実施の形態 9 の場合と同様に、簡易な回路構成のデータ書込回路 5 1 b を用いて、データ書込を実行することができる。

【0657】また、折返し型ビット線構成に基づくデータ書込を実行することはできないものの、メモリアレイ 10 におけるライトワード線 WWL の配線ピッチを緩和することができる。この結果、メモリアレイ 10 の高集積化による MRAM デバイスのチップ面積削減をさらに図ることができる。

【0658】〔実施の形態 9 の変形例 5〕実施の形態 9 の変形例 5 においては、実施の形態 9 の変形例 3 に示した折返し型ビット線構成に加えて、隣接メモリセル間におけるリードワード線 RWL の共有が図られる。

【0659】図 7 4 は、メモリアレイ 10 およびその周辺回路の実施の形態 9 の変形例 5 に従う構成を説明するための図である。

【0660】図 7 4 を参照して、実施の形態 9 の変形例 5 に従うメモリアレイ 10 においては、列方向に隣接するメモリセルは、同一のリードワード線 RWL を共有する。

【0661】読出／書込制御回路 6 0 は、実施の形態 9 の変形例 3 と同様に配置されるイコライズトランジスタ 6 2 およびライトビット線電圧制御トランジスタ 6 5 を含む。

【0662】データ書込時においては、各ライトビット線 WBL に対して 1 本おきにメモリセル列が接続されるので、隣接する 2 個のメモリセル行で形成されるメモリセル行の組ごとにライトビット線対を形成できる。この結果、折返し型ビット線構成に基づく、実施の形態 9 の変形例 3 と同様のデータ書込を実行して、同様の効果を享受できる。

【0663】一方、複数のメモリセル行間で共有されるリードワード線 RWL が活性化されるデータ読出時においては、折返し型ビット線構成に基づくデータ読出を行なうことはできない。したがって、実施の形態 9 の変形例 5 においては、リードビット線 RBL として機能する共通配線 CML の選択に関連する周辺回路は、図 6 9 に示したのと同様に配置される。

【0664】このような構成とすることにより、折返し型ビット線構成による動作マージン確保を図ることはできないものの、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和した上で、データ読出を正常に実行できる。この結果、メモリアレイ10の高集積化によるMRAMデバイスのチップ面積削減を図ることができる。

【0665】したがって、実施の形態9に従うメモリセルを用いて、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線RWLの共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

【0666】〔実施の形態10〕図75は、実施の形態10に従うMTJメモリセルの接続態様を示す回路図である。

【0667】図75を参照して、アクセストランジスタATRは共通配線CMLと磁気トンネル接合部MTJとの間に結合される。リードワード線RWLは、アクセストランジスタATRのゲートと結合される。ライトビット線WBLは、リードワード線RWLと同一方向に配置され、磁気トンネル接合部MTJと電気的に結合される。

【0668】共通配線CMLは、データ書込時においてはライトワード線WWLと同様に、ライトワード線ドライバ30wによって選択的に活性化される。一方、データ読出時においては、共通配線CMLには、センス電流Isが供給される。

【0669】データ書込時においては、電流制御トランジスタ41-1~41-mのターンオンによって、選択状態(Hレベル)に活性化された共通配線CMLは、ライトワード線WWLと同様にデータ書込電流Ipが流れる。一方、データ読出時においては、電流制御トランジスタ41-1~41-mがターンオフされて、共通配線CML~磁気トンネル接合部MTJ~アクセストランジスタATR~ライトビット線WBL(接地電圧Vss)の経路に流されるセンス電流Isによって、図67で説明したように、磁気トンネル接合部MTJの記憶データに対応する電圧変化が共通配線CMLに生じる。

【0670】したがって、実施の形態9と同様に、データ書込時におけるライトワード線WWLの機能およびデータ読出時におけるリードビット線RBLの機能を共通配線CMLに併有させて、配線数を削減することができる。

【0671】また、リードワード線RWLとデータ書込時にライトワード線として機能する共通配線CMLとを互いに直交する方向に配置するので、リードワード線ドライバ30rとライトワード線ドライバ30wとを独立に配置して、実施の形態6と同様の効果を得ることができる。

【0672】図76は、実施の形態10に従うMTJメモリセルの配置を示す構成図である。

【0673】図76を参照して、共通配線CMLは、第1の金属配線層M1に配置されて、アクセストランジスタATRのソース/ドレイン領域110と電気的に結合される。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に形成される。

【0674】ソース/ドレイン領域120は、第1の金属配線層M1に形成された金属配線、バリアメタル140およびコンタクトホールに形成された金属膜150を介して、磁気トンネル接合部MTJと結合される。ライトビット線WBLは、磁気トンネル接合部MTJと電気的に結合するように第2の金属配線層M2に配置される。

【0675】これにより、アクセストランジスタATRを介して共通配線CMLと磁気トンネル接合部MTJとを結合する構成とすることによって、共通配線CMLは、アクセストランジスタATRのターンオン時においてのみ磁気トンネル接合部MTJと結合される。この結果、データ読出時においてリードビット線RBLとして機能する共通配線CMLの容量を抑制して、データ読出動作の高速化をさらに図ることができる。

【0676】なお、実施の形態10に従うMTJメモリセルにおける、データ書込およびデータ読出時の各配線の電圧および電流波形は、実施の形態9と同様であるので、詳細な説明は繰り返さない。

【0677】また、実施の形態10に従うMTJメモリセルにおいては、磁気トンネル接合部MTJとの間の距離は、ライトワード線WWLとして機能する共通配線CMLの方が、ライトワード線WWLよりも大きくなる。この結果、実施の形態10に従うMTJメモリセルにおいては、共通配線CMLに相対的に大きなデータ書込電流を流す必要がある。

【0678】図77は、メモリアレイ10およびその周辺回路の実施の形態10に従う構成を説明するための図である。

【0679】図77を参照して、実施の形態10に従うメモリアレイ10においては、図75に示される構成を有するメモリセルMCが行列状に配置される。

【0680】リードワード線RWLおよびライトビット線WBLは、行方向に沿って配置される。共通配線およびCMLは、列方向に沿って配置される。

【0681】行方向に隣接するメモリセルは、共通配線CMLを共有する。たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、同一の共通配線CML1を共有し、第3番目および第4番目のメモリセル列に属するメモリセル群は、同一の共通配線CML2を共有する。以降のメモリセル列に対しても、共通配線CMLは、同様に配置される。

【0682】同一の共通配線CMLに対応して、複数の

メモリセルMCがデータ書込およびデータ読出の対象となるとデータ衝突が発生するので、メモリセルMCは交互配置される。

【0683】このような構成とすることにより、メモリアレイ10における共通配線CMLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0684】共通配線CMLおよびライトビット線WBLに対して、選択的にデータ書込電流を供給するための周辺回路の構成は、図69と同様であるので、詳細な説明は繰り返さない。

【0685】すでに説明したように、実施の形態10に従うMTJメモリセルにおいては、共通配線CMLに対して、総体的に大きなデータ書込電流を流す必要がある。したがって、共通配線CMLを隣接するメモリセル間で共有して配線ピッチを確保することにより、共通配線CMLの配線幅すなわち断面積を確保して電流密度を抑制できる。この結果、MRAMデバイスの信頼性を向上させることができる。さらに、すでに説明したように、これらの配線の材質をエレクトロマイグレーション耐性を考慮して選択することも動作信頼性の向上に効果がある。

【0686】〔実施の形態10の変形例1〕図78は、メモリアレイ10およびその周辺回路の実施の形態10の変形例1に従う構成を説明するための図である。

【0687】図78を参照して、実施の形態10の変形例1に従うメモリアレイ10においては、隣接するメモリセルは、同一のライトビット線WBLを共有する。たとえば、第2番目および第3番目のメモリセル行に属するメモリセル群は、同一のライトビット線WBL2を共有する。以降のメモリセル列に対しても、ライトWBLは、同様に配置される。

【0688】データ書込を正常に実行するためには、同一の共通配線CMLおよび同一のライトビット線WBLの交点に配置されるメモリセルMCが複数個存在しないことが必要である。したがって、メモリセルMCは交互配置される。

【0689】共通配線CMLおよびライトビット線WBLに対する、データ書込およびデータ読出に関する周辺回路の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態10と同様であるので、詳細な説明は繰り返さない。

【0690】このような構成とすることにより、メモリアレイ10におけるライトビット線WBLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0691】〔実施の形態10の変形例2〕図79は、メモリアレイ10およびその周辺回路の実施の形態10

の変形例2に従う構成を説明するための図である。

【0692】図79を参照して、実施の形態10の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリセルによって、同一のリードワード線RWLが共有される。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、同一のリードワード線RWL1を共有する。以降のメモリセル行に対しても、リードワード線RWLは、同様に配置される。

【0693】さらに、列方向に隣接するメモリセルによって、同一のライトビット線WBLが共有される。たとえば、第2番目および第3番目のメモリセル行に属するメモリセル群は、同一のライトビット線WBL2を共有する。以降のメモリセル行に対しても、ライトビット線WBLは、同様に配置される。

【0694】ここで、データ読出を正常に実行するためには、同一のリードワード線RWLによって選択される複数メモリセルMCが、同一の共通配線CMLに同時に結合されないことが必要である。したがって、共通配線CMLは、各メモリセル行ごとに配置され、さらに、メモリセルMCは交互配置される。

【0695】その他の部分の構成は、実施の形態10と同様であるので、詳細な説明は繰り返さない。

【0696】このような構成とすることにより、メモリアレイ10におけるリードワード線RWLおよびライトビット線WBLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

【0697】〔実施の形態10の変形例3〕図80は、メモリアレイ10およびその周辺回路の実施の形態10の変形例3に従う構成を説明するための図である。

【0698】図80を参照して、行列状に配置された実施の形態10の変形例3に従う構成のメモリセルに対して、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本の共通配線CMLを用いて折返し型ビット線構成が実現される。たとえば、第1番目および第2番目のメモリセル列にそれぞれ対応する共通配線CML1およびCML2（／CML1）によって、リードビット線対に相当するデータ線対を構成することができる。

【0699】同様に、隣接する2個のメモリセル行によって形成されるメモリセル行の組ごとに、対応する2本のライトビット線WBLを用いて折返し型ビット線構成が実現される。たとえば、第1番目および第2番目のメモリセル行にそれぞれ対応するライトビット線WBL1およびWBL2（／WBL1）によって、ライトビット線対を構成することができる。

【0700】ライトビット線対を構成するライトビット線WBLおよび／WBLに対する行選択およびデータ書込電流 I_w の供給を行なうための周辺回路の構成は、

図 7 2 と同様であるので詳細な説明は繰り返さない。

【0701】同様に、データ読出時においてデータ線対を構成する共通配線 CML および CML に対する対する列選択およびセンス電流 I_s の供給とを行なうための周辺回路の構成は、図 7 2 と同様であるので詳細な説明は繰り返さない。

【0702】したがって、実施の形態 10 に従うメモリセルを行列状に配置した場合においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。

【0703】〔実施の形態 10 の変形例 4〕実施の形態 10 の変形例 4 においては、実施の形態 10 の変形例 3 に示した折返し型ビット線構成に加えて、隣接メモリセル間におけるライトビット線 WBL の共有が図られる。

【0704】図 8 1 は、メモリアレイ 10 およびその周辺回路の実施の形態 10 の変形例 4 に従う構成を説明するための図である。

【0705】図 8 1 を参照して、実施の形態 10 の変形例 4 に従うメモリアレイ 10 においては、列方向に隣接するメモリセルによって、ライトビット線 WBL が共有

される。
【0706】リードワード線 RWL が活性化されるデータ読出時においては、リードビット線 RBL として機能する各共通配線 CML に対して 1 本おきにメモリセル列が接続されるので、隣接する 2 個のメモリセル列で形成されるメモリセル列の組ごとにデータ線対を形成して、折返し型ビット線構成に基づく、実施の形態 10 の変形例 3 と同様のデータ読出を実行できる。

【0707】一方、データ書込時においては、ライトビット線 WBL を共有するために、折返し型ビット線構成に基づくデータ書込を行なうことはできない。したがって、実施の形態 10 の変形例 4 においては、ライトビット線 WBL の選択に関連する周辺回路は、図 6 9 に示したのと同様に配置される。これにより、実施の形態 9 の場合と同様に、簡易な回路構成のデータ書込回路 51b を用いて、データ書込を実行することができる。

【0708】また、折返し型ビット線構成に基づくデータ書込を実行することはできないものの、メモリアレイ 10 におけるライトワード線 WWL の配線ピッチを緩和することができる。この結果、メモリアレイ 10 の高集積化による MRAM デバイスのチップ面積削減をさらに図ることができる。

【0709】〔実施の形態 10 の変形例 5〕実施の形態 10 の変形例 5 においては、実施の形態 10 の変形例 3 に示した折返し型ビット線構成に加えて、隣接するメモリセル間におけるリードワード線 RWL の共有が図られる。

【0710】図 8 2 は、メモリアレイ 10 およびその周辺回路の実施の形態 10 の変形例 5 に従う構成を説明するための図である。

【0711】図 8 2 を参照して、実施の形態 10 の変形

例 5 に従うメモリアレイ 10 においては、列方向に隣接するメモリセルは、同一のリードワード線 RWL を共有する。読出／書込制御回路 60 は、実施の形態 10 の変形例 3 と同様に配置されるイコライズトランジスタ 62 およびライトビット線電圧制御トランジスタ 65 を含む。

【0712】データ書込時においては、各ライトビット線 WBL に対して 1 本おきにメモリセル列が接続されるので、隣接する 2 個のメモリセル行で形成されるメモリセル行の組ごとにライトビット線対を形成できる。この結果、折返し型ビット線構成に基づく、実施の形態 10 の変形例 3 と同様のデータ書込を実行して、同様の効果を享受できる。

【0713】一方、複数のメモリセル行間で共有されるリードワード線 RWL が活性化されるデータ読出時においては、折返し型ビット線構成に基づくデータ読出を行なうことはできない。したがって、実施の形態 10 の変形例 5 においては、リードビット線 RBL の選択に関連する周辺回路は、図 6 9 に示したのと同様に配置される。

【0714】このような構成とすることにより、折返し型ビット線構成による動作マージン確保を図ることはできないものの、メモリアレイ 10 におけるリードワード線 RWL の配線ピッチを緩和した上で、データ読出を正常に実行できる。この結果、メモリアレイ 10 の高集積化による MRAM デバイスのチップ面積削減を図ることができる。

【0715】したがって、実施の形態 10 に従うメモリセルを用いて、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線 RWL の共有化に基づくメモリアレイ 10 の高集積化とを両立して実現することができる。

【0716】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0717】

【発明の効果】請求項 1、2、5 および 7 に記載の薄膜磁性体記憶装置は、第 1 の読出データ線にデータ読出電流を流さずに、データ読出電流経路の RC 定数を低減してデータ読出を実行できる。したがって、第 1 のビット線における電圧変化を速やかに生じさせて、データ読出を高速化できる。

【0718】請求項 3 に記載の薄膜磁性体記憶装置は、列選択結果に応じて、選択された第 1 のビット線に対してのみデータ読出電流を供給することができるので、データ読出時における消費電流を削減することができる。

【0719】請求項4記載の薄膜磁性体記憶装置は、データ書込系の回路を共用して、データ読出時における第1のビット線のプルアップを実行することができるので、周辺回路の面積を削減することができる。

【0720】請求項6記載の薄膜磁性体記憶装置は、読出ゲート回路をメモリセル列全体で共有できるので、請求項1記載の薄膜磁性体記憶装置が奏する効果に加えて、周辺回路の面積を削減することができる。

【0721】請求項8に記載の薄膜磁性体記憶装置は、折り返し型構成のビット線対によってデータ読出を実行できるので、請求項1記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出における動作マージンを確保することができる。

【0722】請求項9および10に記載の薄膜磁性体記憶装置は、テストモード時において、第1および第2のデータ書込電流の少なくとも一方を外部から設定できるので、MTJメモリセルの磁気特性における製造ばらつきを補償して、データ書込マージンを適切に確保するためのデータ書込電流量の調整テストを容易に実行することができる。

【0723】請求項11記載の薄膜磁性体記憶装置は、請求項9記載の薄膜磁性体記憶装置が奏する効果に加えて、外部からのブロー入力によって不揮発的にデータ書込電流を設定することができる。

【0724】請求項12記載の薄膜磁性体記憶装置は、請求項11記載の薄膜磁性体記憶装置が奏する効果に加えて、テスト動作時において擬似的にプログラム素子をブローして、実動作時と同様の状態に基づいて、データ書込電流の調整を実行することができる。

【0725】請求項13および14に記載の薄膜磁性体記憶装置は、電気的に結合された第1および第2のビット線を往復して流れるデータ書込電流によって、同一方向に作用するデータ書込磁界を磁気記憶部に生じさせることができるので、同一強度のデータ書込磁界の発生に必要なデータ書込電流を低減できる。この結果、MRAMデバイスの低消費電力化、ビット線の電流密度低下による動作信頼性の向上、およびデータ書込時における磁界ノイズの軽減を実現することができる。

【0726】請求項15に記載の薄膜磁性体記憶装置は、ビット線対を構成する第1および第2のビット線に同等に磁性体メモリセルを結合して、両者のRC負荷を均衡させるとともに、折返し型ビット線構成に基づくデータ読出を実行できる。この結果、請求項13記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出動作の安定性を向上することができる。

【0727】請求項16および17に記載の薄膜磁性体記憶装置は、電気的に結合された第1および第2のサブ書込ワード線を往復して流れるデータ書込電流によって、同一方向に作用するデータ書込磁界を磁気記憶部に生じさせることができるので、同一強度のデータ書込磁

界の発生に必要なデータ書込電流を低減できる。この結果、MRAMデバイスの低消費電力化、ビット線の電流密度低下による動作信頼性の向上、およびデータ書込時における磁界ノイズの軽減を実現することができる。

【0728】請求項18記載の薄膜磁性体記憶装置は、データ書込電流を供給するための書込ワードドライバをメモリアレイの両側に分割配置できるので、請求項17記載の薄膜磁性体記憶装置が奏する効果に加えて、列方向のピッチ制約を緩和して、メモリアレイおよびその周辺回路の小面積化を図ることができる。

【0729】請求項19記載の薄膜磁性体記憶装置は、請求項16記載の薄膜磁性体記憶装置が奏する効果に加えて、非選択状態等に移行する場合において、書込ワード線の電圧を速やかに変化させることができる。

【0730】請求項20記載の薄膜磁性体記憶装置は、整流素子を用いた高集積化が有利な磁性体メモリセルにおいて、非選択の磁性体メモリセルにおいて確実に整流素子のオフ状態を維持できる。この結果、高集積化と動作信頼性の確保とを両立して実現できる。

【0731】請求項21記載の薄膜磁性体記憶装置は、メモリアレイ全体に配置される書込ワード線の本数を削減して、磁性体メモリセルを高集積化して配置できる。この結果、請求項20記載の薄膜磁性体記憶装置が奏する効果に加えて、MRAMデバイスのチップ面積を削減することができる。

【0732】請求項22、23、25および26に記載の薄膜磁性体記憶装置は、データ書込電流を流す配線のうち、磁気記憶部からより遠くに配置されて大きな電流を流す必要がある書込ワード線におけるエレクトロマイグレーションの発生を抑制して、MRAMデバイスの動作信頼性を向上させることができる。

【0733】請求項24記載の薄膜磁性体記憶装置は、整流素子を用いた高集積化が有利な磁性体メモリセルを、メモリアレイ全体に配置されるワード線の本数を削減してさらに高集積化して配置できる。この結果、MRAMデバイスのチップ面積削減を図ることができる。

【0734】請求項27記載の薄膜磁性体記憶装置は、読出ワード線および書込データ線を磁性体メモリセルの行および列にそれぞれ対応させて配置して、読出ワード線および書込ワード線のそれぞれを選択的に駆動するための回路を独立に配置することによって、レイアウトの自由度を向上できる。さらに、書込ワード線、読出ワード線、書込データ線および読出データ線のうちの少なくとも1つを隣接メモリセル間で共有して、メモリアレイにおける配線ピッチを緩和できる。この結果、MRAMデバイスの集積度を高めることができる。

【0735】請求項28記載の薄膜磁性体記憶装置は、データ読出の対象となる磁性体メモリセルの記憶部のみを読出データ線と結合するので、請求項27記載の薄膜磁性体記憶装置が奏する効果に加えて、読出データ線の

容量を低減してデータ読出を高速化できる。

【0736】請求項29記載の薄膜磁性体記憶装置は、データ書込電流が流される2種類の配線のうち、より大きなデータ書込電流を流す必要がある一方について、共有化によって配線ピッチを緩和して大きな断面積を確保できる。この結果、請求項27または28に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込電流が流される配線のエレクトロマイグレーション耐性を向上させ、動作の信頼性を向上させることができる。

【0737】請求項30記載の薄膜磁性体記憶装置は、データ書込電流が流される2種類の配線のうち、より大きなデータ書込電流を流す必要がある一方を、エレクトロマイグレーション耐性の高い材質によって形成する。この結果、請求項27または28に記載の薄膜磁性体記憶装置が奏する効果に加えて、動作の信頼性を向上させることができる。

【0738】請求項31記載の薄膜磁性体記憶装置は、対を成す2本の読出データ線を用いてデータ読出を実行するので、請求項27または28に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出時における動作マージンを確保することができる。

【0739】請求項32記載の薄膜磁性体記憶装置は、対を成す2本の書込データ線を用いてデータ書込を実行するので、請求項27または28に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込時における動作マージン確保および磁界ノイズ低減を図ることができる。

【0740】請求項33記載の薄膜磁性体記憶装置は、対を成す2本の読出データ線および書込データ線をそれぞれ用いてデータ読出およびデータ書込を実行するので、請求項27または28に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出およびデータ書込時における動作マージンを確保するとともに、データ書込ノイズを低減することができる。

【0741】請求項34記載の薄膜磁性体記憶装置は、データ読出前において、読出データ線に対する新たなプリチャージ動作を起動する必要がある。したがって、プリチャージ動作を効率化して、データ読出を高速化できる。

【0742】請求項35記載の薄膜磁性体記憶装置は、データ読出時における読出データ線の機能とデータ書込時における書込ワード線との機能を共通配線に共有して配線数を削減できる。また、読出ワード線および書込ワード線として機能するデータ書込時における共通配線ワード線のそれぞれを選択的に駆動するための回路を独立に配置して、レイアウトの自由度を向上させることができる。さらに、読出ワード線、書込データ線および共通データ線のうちの少なくとも1つを隣接メモリセル間で共有して、メモリアレイにおける配線ピッチを緩和できる。この結果、MRAMデバイスの集積度を高めること

ができる。

【0743】請求項36記載の薄膜磁性体記憶装置は、データ読出の対象となる磁性体メモリセルの記憶部のみを読出データ線として機能する共通配線と結合するので、請求項35記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出時における共通配線の負荷容量を低減してデータ読出を高速化できる。

【0744】請求項37記載の薄膜磁性体記憶装置は、データ書込電流が流される2種類の配線のうち、より大きなデータ書込電流を流す必要がある一方について、共有化によって配線ピッチを緩和して大きな断面積を確保できる。この結果、請求項35または36に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込電流が流される配線のエレクトロマイグレーション耐性を向上させ、動作の信頼性を向上させることができる。

【0745】請求項38記載の薄膜磁性体記憶装置は、データ書込電流が流される2種類の配線のうち、より大きなデータ書込電流を流す必要がある一方を、エレクトロマイグレーション耐性の高い材質によって形成する。この結果、請求項35または36に記載の薄膜磁性体記憶装置が奏する効果に加えて、動作の信頼性を向上させることができる。

【0746】請求項39記載の薄膜磁性体記憶装置は、対を成す2本の共通配線を用いてデータ読出を実行するので、請求項35または36に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出時における動作マージンを確保することができる。

【0747】請求項40記載の薄膜磁性体記憶装置は、対を成す2本の書込データ線を用いてデータ書込を実行するので、請求項35または36に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込時における動作マージン確保および磁界ノイズ低減を図ることができる。

【0748】請求項41記載の薄膜磁性体記憶装置は、対を成す2本の共通配線および書込データ線をそれぞれ用いてデータ読出およびデータ書込を実行するので、請求項35または36に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出およびデータ書込時における動作マージンを確保するとともに、データ書込ノイズを低減することができる。

【0749】請求項42記載の薄膜磁性体記憶装置は、データ読出前において、共通配線に対する新たなプリチャージ動作を起動する必要がある。したがって、プリチャージ動作を効率化して、データ読出を高速化できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【図2】 メモリアレイ10およびその周辺回路の実施の形態1に従う構成を説明するための図である。

【図3】 図2に示されるデータ書込回路51aの構成

を示す回路図である。

【図 4】 図 2 に示されるデータ読出回路 55a の構成を示す回路図である。

【図 5】 実施の形態 1 に従う MRAM デバイスにおけるデータ読出およびデータ書込動作を説明するためのタイミングチャートである。

【図 6】 メモリアレイ 10 およびその周辺回路の実施の形態 1 の変形例 1 に従う構成を説明するための図である。

【図 7】 図 6 に示されるデータ書込回路 51b の構成を示す回路図である。 10

【図 8】 図 6 に示されるデータ読出回路 55b の構成を示す回路図である。

【図 9】 実施の形態 1 の変形例 1 に従う MRAM デバイスにおけるデータ読出およびデータ書込動作を説明するためのタイミングチャートである。

【図 10】 メモリアレイ 10 およびその周辺回路の実施の形態 1 の変形例 2 に従う構成を説明するための図である。

【図 11】 メモリアレイ 10 およびその周辺回路の実施の形態 1 の変形例 3 に従う構成を説明するための図である。 20

【図 12】 実施の形態 2 に従うデータ書込回路の構成を示す回路図である。

【図 13】 実施の形態 2 に従うワード線ドライバの構成例を示す回路図である。

【図 14】 実施の形態 2 の変形例に従うデータ書込電流調整回路 230 の構成を示す回路図である。

【図 15】 リードゲートを用いずにデータ読出を実行する MRAM デバイスにおけるメモリアレイ 10 およびその周辺回路の構成を説明するための図である。 30

【図 16】 本発明の実施の形態 3 に従うビット線の配置を説明するブロック図である。

【図 17】 実施の形態 3 に従うビット線の第 1 の配置例を示す構造図である。

【図 18】 実施の形態 3 に従うビット線の第 2 の配置例を示す構造図である。

【図 19】 実施の形態 3 の変形例 1 に従うビット線の配置を説明する概念図である。

【図 20】 実施の形態 3 の変形例 2 に従うライトワード線 WWL の配置を説明する構造図である。 40

【図 21】 同一のライトワード線を形成するサブワード線間の結合を説明する概念図である。

【図 22】 実施の形態 3 の変形例 3 に従うライトワード線の配置を説明する図である。

【図 23】 実施の形態 3 の変形例 4 に従うライトワード線の配置を説明する図である。

【図 24】 実施の形態 3 の変形例 5 に従うライトワード線の配置を説明する図である。

【図 25】 実施の形態 4 に従う MTJ メモリセルの構 50

成を示す図である。

【図 26】 図 25 に示された MTJ メモリセルを半導体基板上に配置した場合の構造図である。

【図 27】 図 25 に示された MTJ メモリセルに対する読出動作および書込動作を説明するタイミングチャートである。

【図 28】 図 25 に示された MTJ メモリセルを行列状に配置したメモリアレイの構成を示す概念図である。

【図 29】 ライトワード線 WWL を共有して行列状に配置された MTJ メモリセルによって形成されるメモリアレイの構成を示す概念図である。

【図 30】 MTJ メモリセルの実施の形態 4 の変形例に従う配置を示す概念図である。

【図 31】 実施の形態 5 に従う MRAM デバイス 2 の全体構成を示す概略ブロック図である。

【図 32】 実施の形態 5 に従う MTJ メモリセルの接続態様を示す回路図である。

【図 33】 実施の形態 5 に従う MTJ メモリセルに対するデータ書込およびデータ読出を説明するためのタイミングチャート図である。

【図 34】 実施の形態 5 に従う MTJ メモリセルの配置を説明する構造図である。

【図 35】 メモリアレイ 10 およびその周辺回路の実施の形態 5 に従う構成を説明するための図である。

【図 36】 データ読出回路 55e の構成を示す回路図である。

【図 37】 メモリアレイ 10 およびその周辺回路の実施の形態 5 の変形例 1 に従う構成を説明するための図である。

【図 38】 メモリアレイ 10 およびその周辺回路の実施の形態 5 の変形例 2 に従う構成を説明するための図である。

【図 39】 メモリアレイ 10 およびその周辺回路の実施の形態 5 の変形例 3 に従う構成を説明するための図である。

【図 40】 メモリアレイ 10 およびその周辺回路の実施の形態 5 の変形例 4 に従う構成を説明するための図である。

【図 41】 メモリアレイ 10 およびその周辺回路の実施の形態 5 の変形例 5 に従う構成を説明するための図である。

【図 42】 実施の形態 6 に従う MTJ メモリセルの接続態様を示す回路図である。

【図 43】 実施の形態 6 に従う MTJ メモリセルの配置を説明する構造図である。

【図 44】 メモリアレイ 10 およびその周辺回路の実施の形態 6 に従う構成を説明するための図である。

【図 45】 メモリアレイ 10 およびその周辺回路の実施の形態 6 の変形例 1 に従う構成を説明するための図である。

【図 46】 メモリアレイ 10 およびその周辺回路の実施の形態 6 の変形例 2 に従う構成を説明するための図である。

【図 47】 メモリアレイ 10 およびその周辺回路の実施の形態 6 の変形例 3 に従う構成を説明するための図である。

【図 48】 メモリアレイ 10 およびその周辺回路の実施の形態 6 の変形例 4 に従う構成を説明するための図である。

【図 49】 メモリアレイ 10 およびその周辺回路の実施の形態 6 の変形例 5 に従う構成を説明するための図である。

【図 50】 実施の形態 7 に従う MTJ メモリセルの接続態様を示す回路図である。

【図 51】 実施の形態 7 に従う MTJ メモリセルの配置を示す構造図である。

【図 52】 メモリアレイ 10 およびその周辺回路の実施の形態 7 に従う構成を説明するための図である。

【図 53】 メモリアレイ 10 およびその周辺回路の実施の形態 7 の変形例 1 に従う構成を説明するための図である。

【図 54】 メモリアレイ 10 およびその周辺回路の実施の形態 7 の変形例 2 に従う構成を説明するための図である。

【図 55】 メモリアレイ 10 およびその周辺回路の実施の形態 7 の変形例 3 に従う構成を説明するための図である。

【図 56】 メモリアレイ 10 およびその周辺回路の実施の形態 7 の変形例 4 に従う構成を説明するための図である。

【図 57】 メモリアレイ 10 およびその周辺回路の実施の形態 7 の変形例 5 に従う構成を説明するための図である。

【図 58】 実施の形態 8 に従う MTJ メモリセルの接続態様を示す回路図である。

【図 59】 実施の形態 8 に従う MJT メモリセルの配置を示す構造図である。

【図 60】 メモリアレイ 10 およびその周辺回路の実施の形態 8 に従う構成を説明するための図である。

【図 61】 メモリアレイ 10 およびその周辺回路の実施の形態 8 の変形例 1 に従う構成を説明するための図である。

【図 62】 メモリアレイ 10 およびその周辺回路の実施の形態 8 の変形例 2 に従う構成を説明するための図である。

【図 63】 メモリアレイ 10 およびその周辺回路の実施の形態 8 の変形例 3 に従う構成を説明するための図である。

【図 64】 メモリアレイ 10 およびその周辺回路の実施の形態 8 の変形例 4 に従う構成を説明するための図で

ある。

【図 65】 メモリアレイ 10 およびその周辺回路の実施の形態 8 の変形例 5 に従う構成を説明するための図である。

【図 66】 実施の形態 9 に従う MTJ メモリセルの接続態様を示す回路図である。

【図 67】 実施の形態 9 に従う MTJ メモリセルに対するデータ書込およびデータ読出を説明するためのタイミングチャート図である。

【図 68】 実施の形態 9 に従う MTJ メモリセルの配置を説明する構造図である。

【図 69】 メモリアレイ 10 およびその周辺回路の実施の形態 9 に従う構成を説明するための図である。

【図 70】 メモリアレイ 10 およびその周辺回路の実施の形態 9 の変形例 1 に従う構成を説明するための図である。

【図 71】 メモリアレイ 10 およびその周辺回路の実施の形態 9 の変形例 2 に従う構成を説明するための図である。

【図 72】 メモリアレイ 10 およびその周辺回路の実施の形態 9 の変形例 3 に従う構成を説明するための図である。

【図 73】 メモリアレイ 10 およびその周辺回路の実施の形態 9 の変形例 4 に従う構成を説明するための図である。

【図 74】 メモリアレイ 10 およびその周辺回路の実施の形態 9 の変形例 5 に従う構成を説明するための図である。

【図 75】 実施の形態 10 に従う MTJ メモリセルの接続態様を示す回路図である。

【図 76】 実施の形態 10 に従う MTJ メモリセルの配置を示す構成図である。

【図 77】 メモリアレイ 10 およびその周辺回路の実施の形態 10 に従う構成を説明するための図である。

【図 78】 メモリアレイ 10 およびその周辺回路の実施の形態 10 の変形例 1 に従う構成を説明するための図である。

【図 79】 メモリアレイ 10 およびその周辺回路の実施の形態 10 の変形例 2 に従う構成を説明するための図である。

【図 80】 メモリアレイ 10 およびその周辺回路の実施の形態 10 の変形例 3 に従う構成を説明するための図である。

【図 81】 メモリアレイ 10 およびその周辺回路の実施の形態 10 の変形例 4 に従う構成を説明するための図である。

【図 82】 メモリアレイ 10 およびその周辺回路の実施の形態 10 の変形例 5 に従う構成を説明するための図である。

【図 83】 磁気トンネル接合部を有するメモリセルの

111

構成を示す概略図である。

【図 84】 MTJ メモリセルからのデータ読出動作を説明する概念図である。

【図 85】 MTJ メモリセルに対するデータ書込動作を説明する概念図である。

【図 86】 データ書込時におけるデータ書込電流の方向と磁界方向との関係を説明する概念図である。

【図 87】 行列状に集積配置された MTJ メモリセルを示す概念図である。

【図 88】 半導体基板上に配置された MTJ メモリセルの構造図である。

【図 89】 製造ばらつきがデータ書込マージンに与える影響を説明するための概念図である。

【図 90】 ダイオードを用いた MTJ メモリセルの構成を示す概略図である。

【図 91】 図 90 に示された MTJ メモリセルを半導体基板上に配置した場合の構造図である。

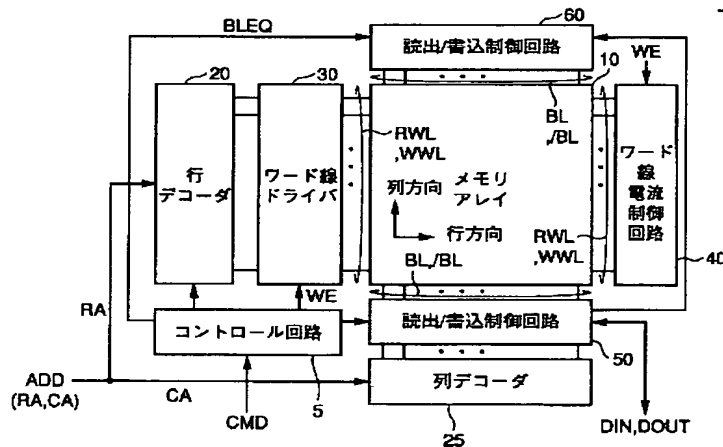
【符号の説明】

10 メモリアレイ、20 行デコーダ、25 列デコーダ、30 ワード線ドライバ、30r リードワード

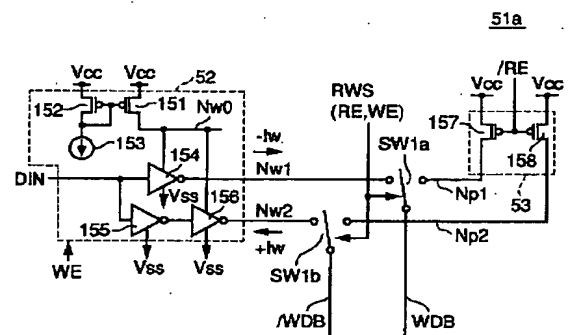
112

線ドライバ、30w ライトワード線ドライバ、40 ワード線電流制御回路、50、60 読出／書込制御回路、51a、51b データ書込回路、52 データ書込電流供給回路、55a、55b、55c、55d、55e データ読出回路、62 イコライズトランジスタ、63 ビット線電流制御トランジスタ、64 プリチャージトランジスタ、65 ライトビット線電圧制御トランジスタ、200、210、230 データ書込電流調整回路、ATR アクセストランジスタ、BL、/BL ビット線、CML 共通配線、CSG コラム選択ゲート、DM アクセサダイオード、DMC ダミーメモリセル、FL 固定磁気層、MC、MCD メモリセル、MTJ 磁気トンネル接合部、RBL リードビット線、RG リードゲート、RCG 共通リードゲート、RCSG リードコラム選択ゲート、RWL リードワード線、TB トンネルバリア、VL 自由磁気層、WCSG ライトコラム選択ゲート、WRSG ライトロウ選択ゲート、WBL、/WBL ライトビット線、WWL ライトワード線。

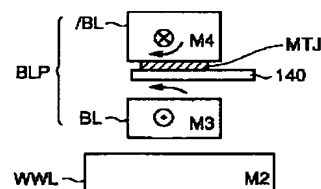
【図 1】



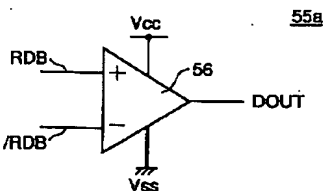
【図 3】



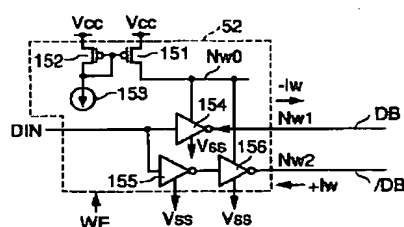
【図 17】



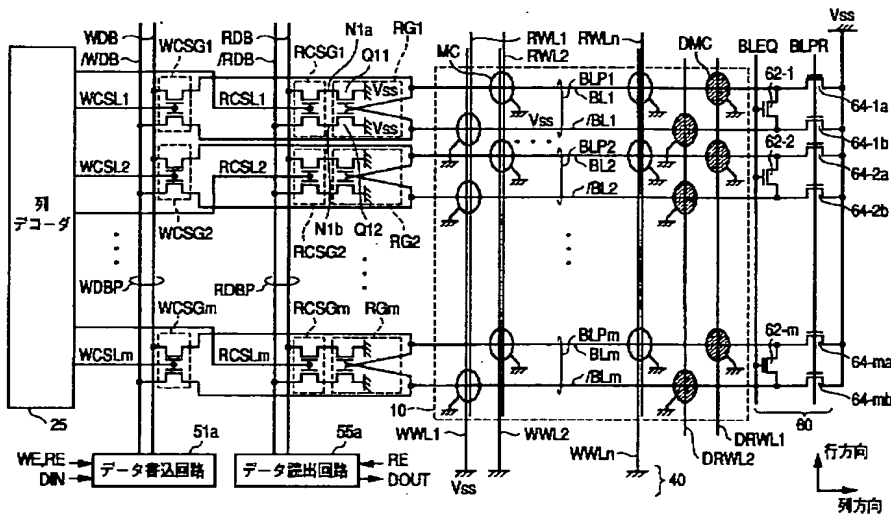
【図 4】



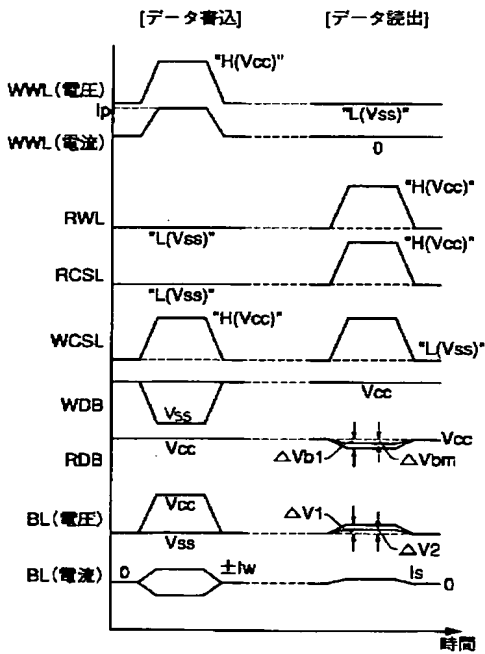
【図 7】



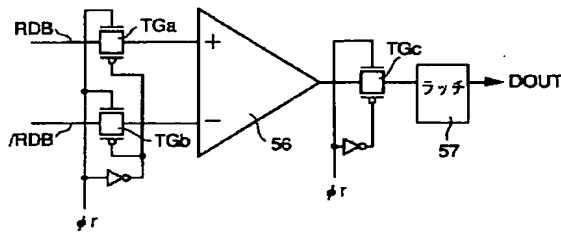
【図 2】



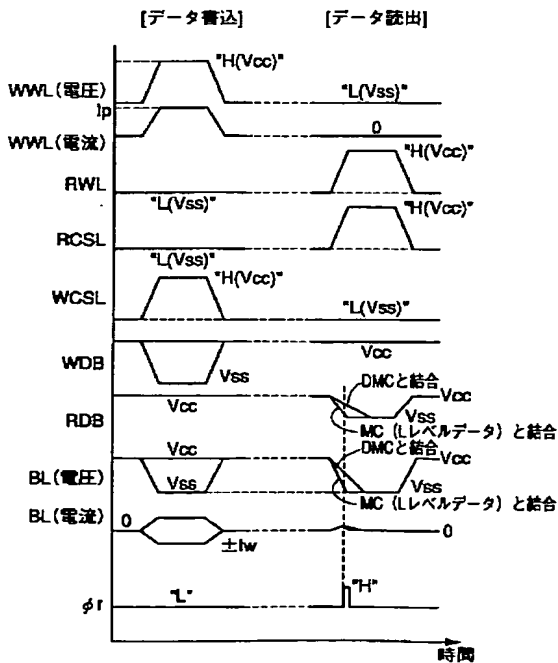
【図 5】



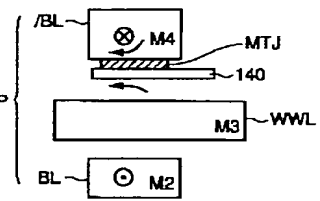
【図 8】



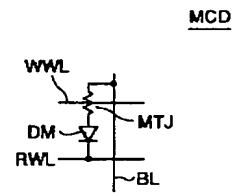
【図 9】



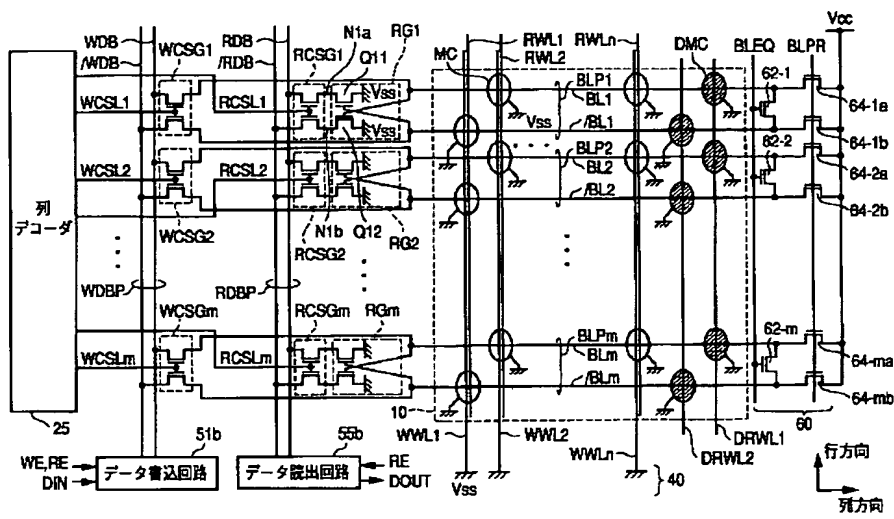
【図 18】



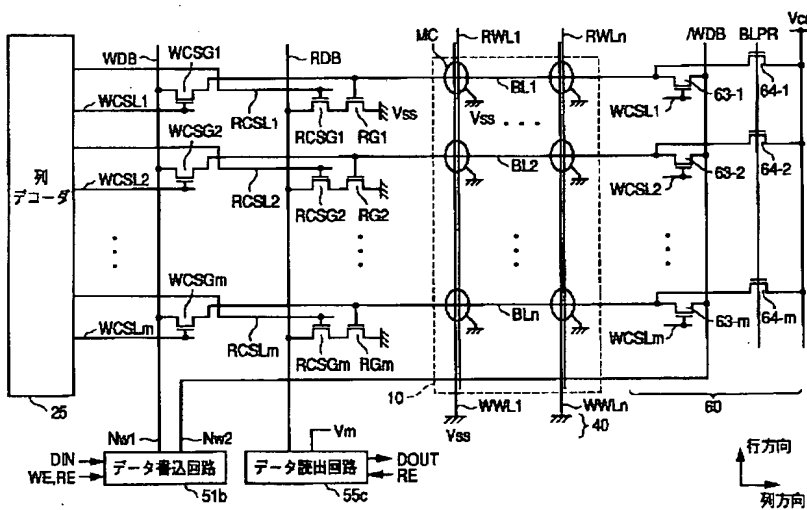
【図 25】



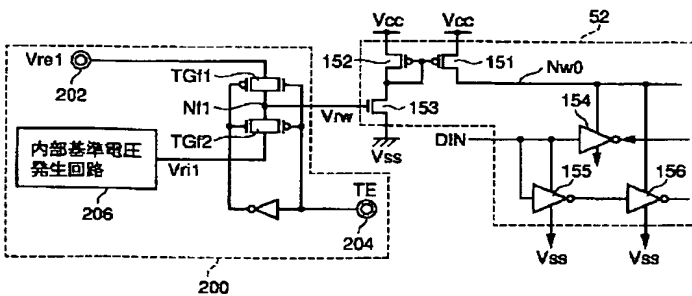
【図 6】



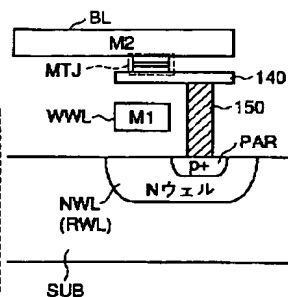
【図 10】



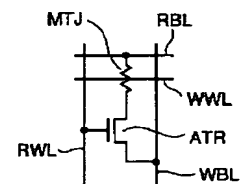
【図 12】



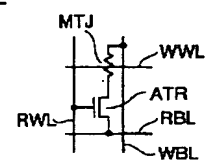
【図 26】



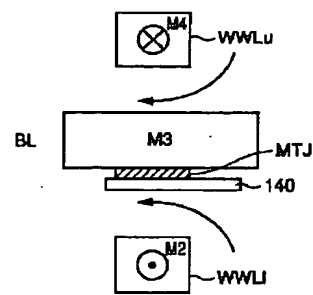
【図 32】



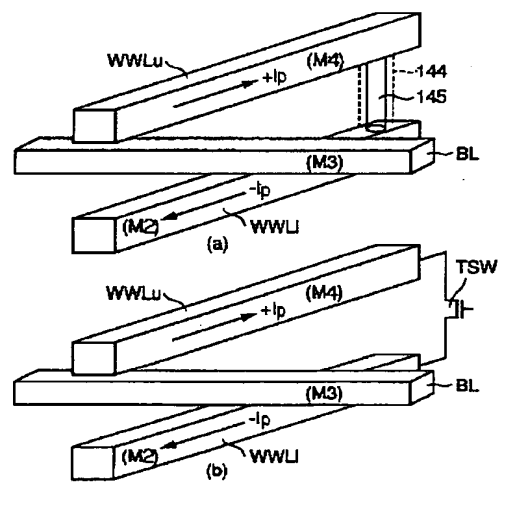
【図 42】



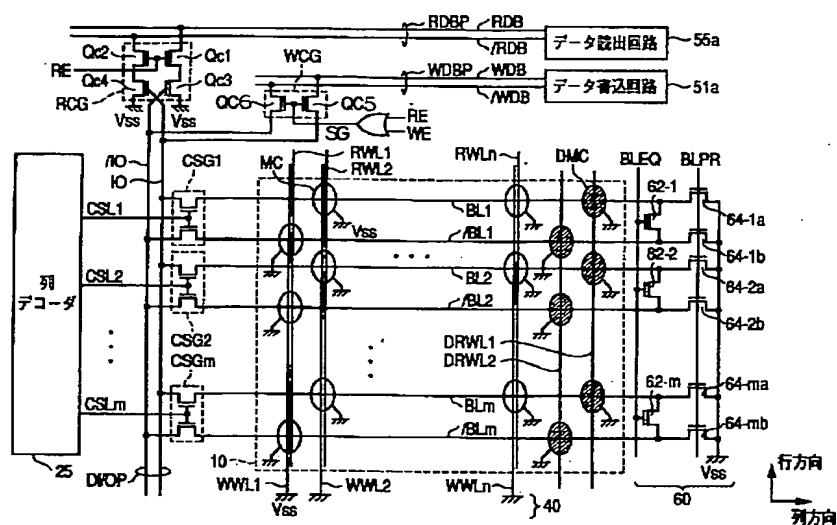
【図 20】



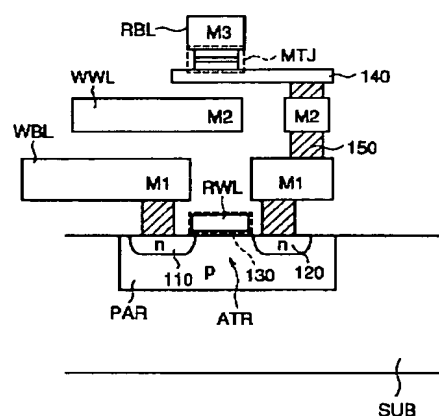
【図 21】



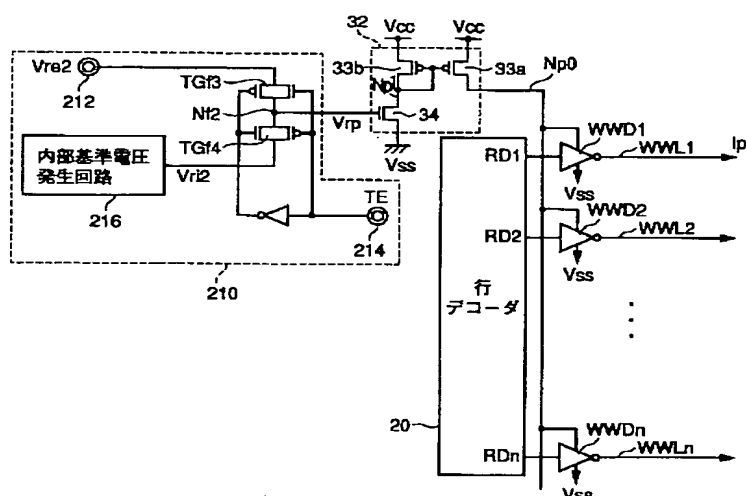
【图 1 1】



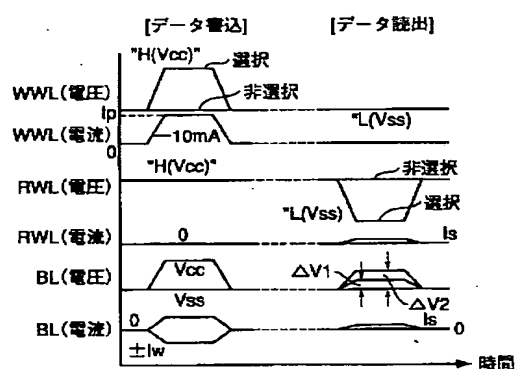
【☒ 3 4】



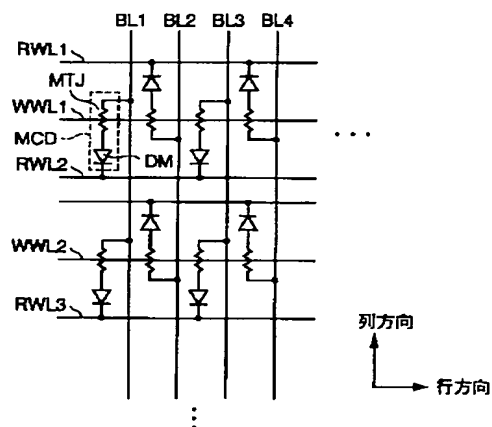
【图 13】



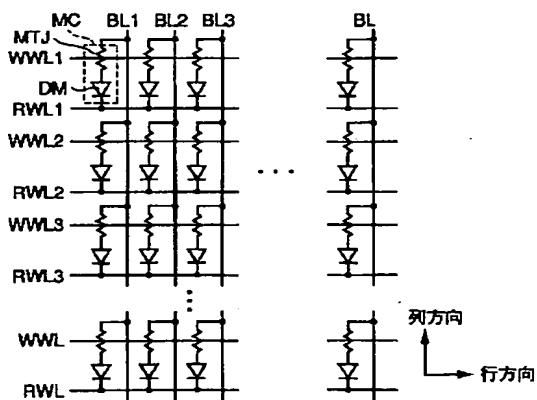
【☒ 27】



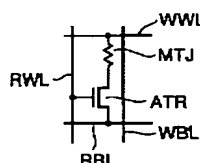
【图 29】



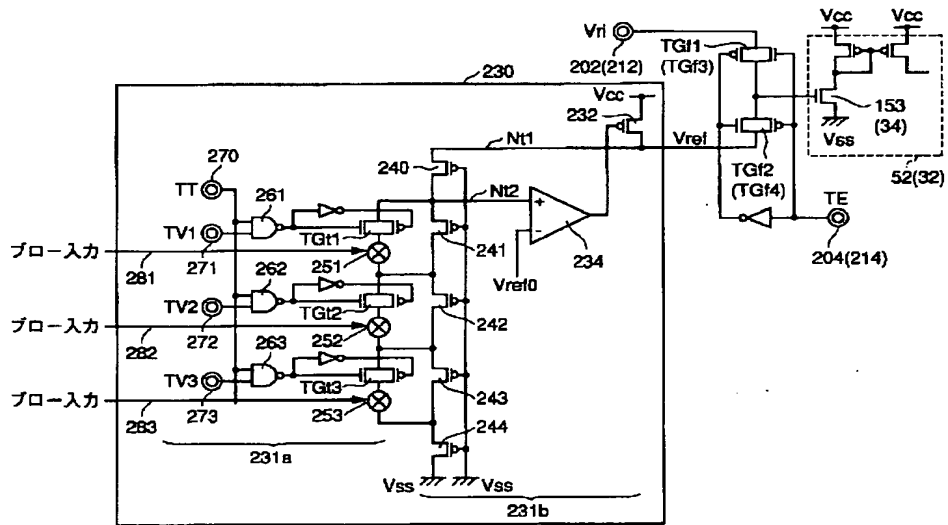
【图 28】



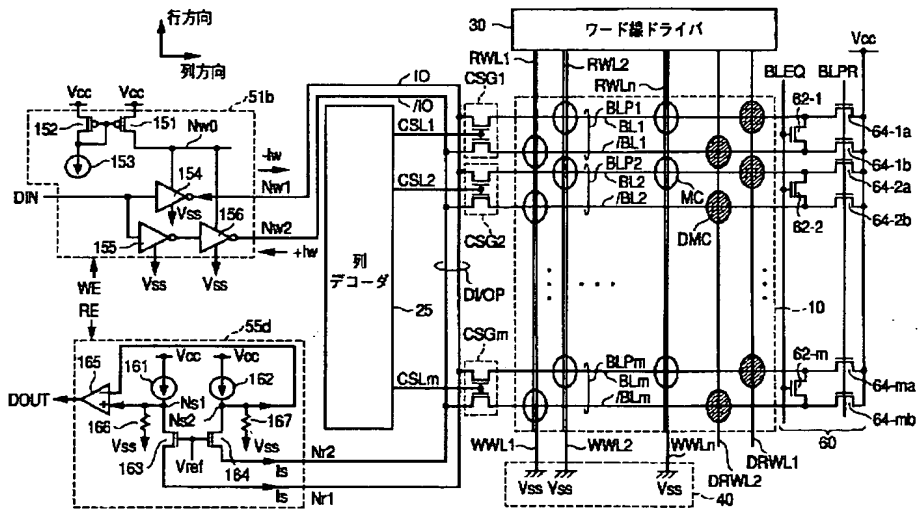
【図 50】



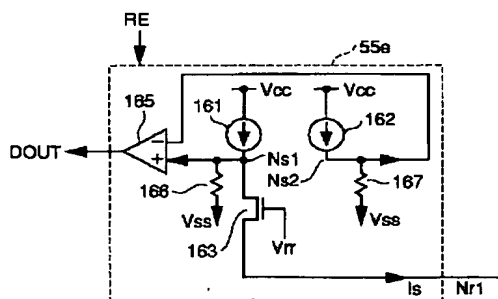
【图 14】



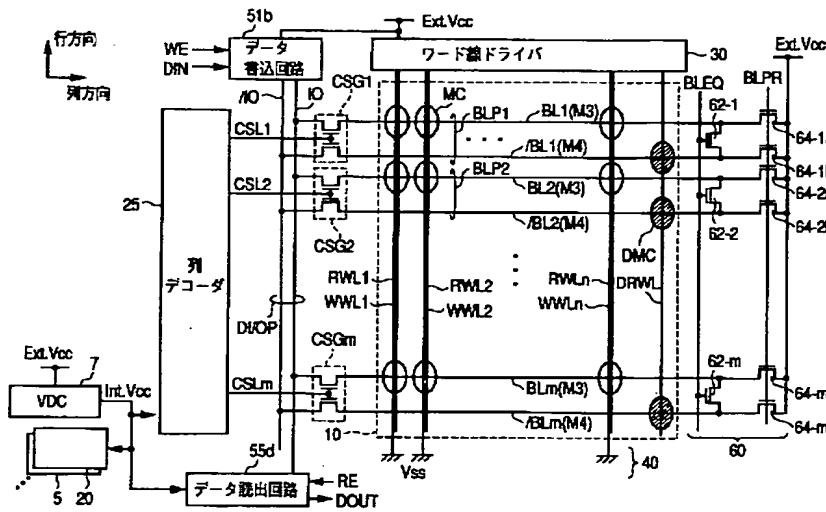
【图 15】



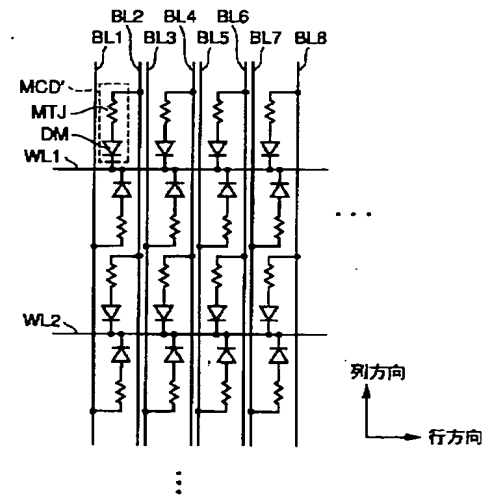
【図 36】



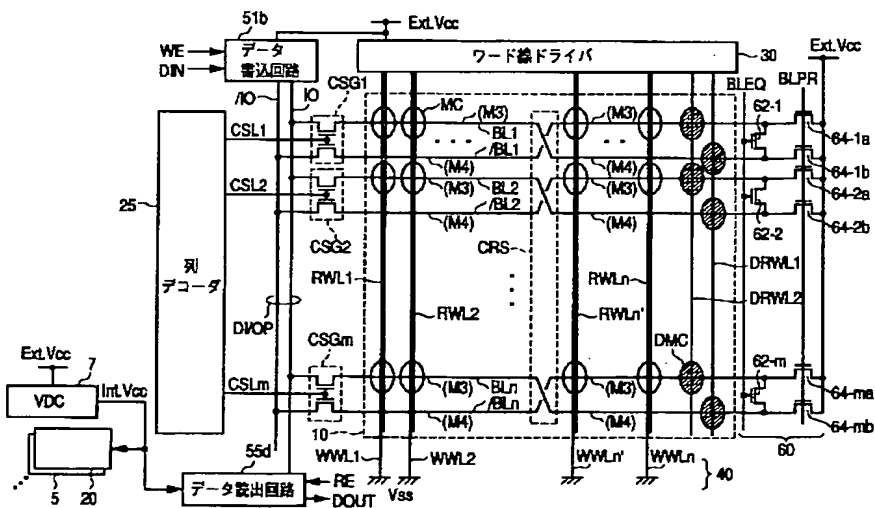
【図 16】



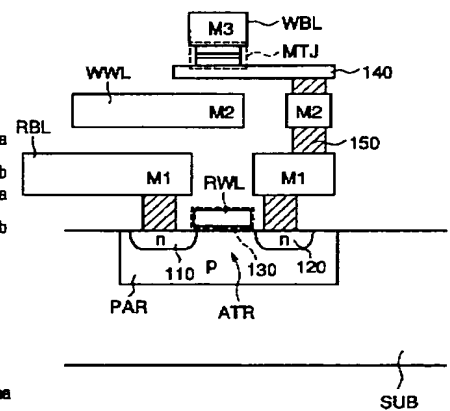
【図 30】



【図 19】

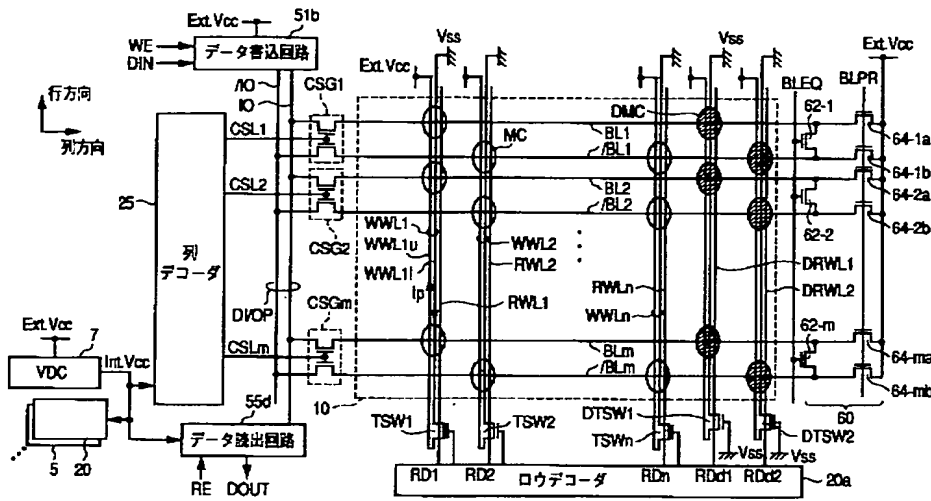


【図 43】

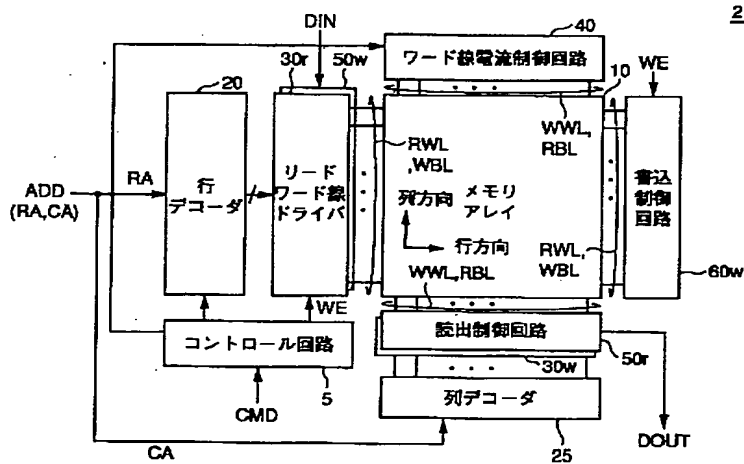


[illegible][illegible][illegible]

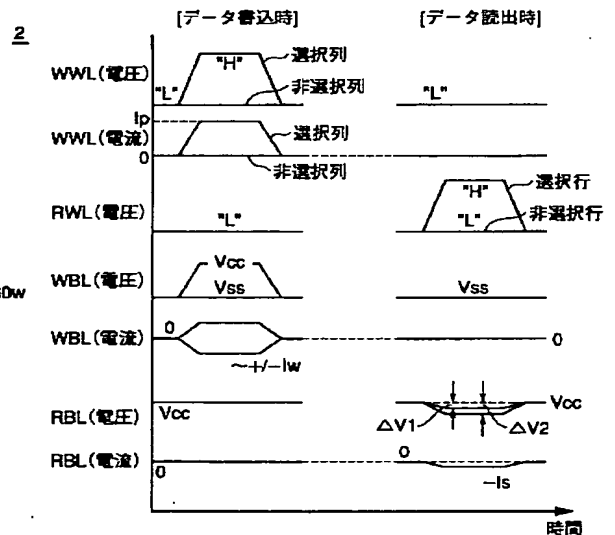
【図24】



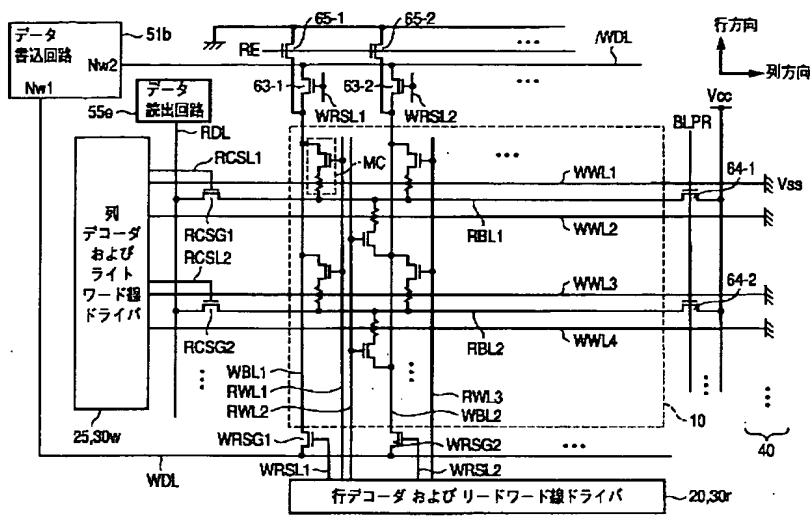
【図31】



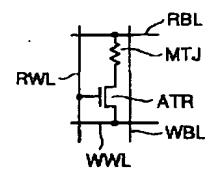
【図33】



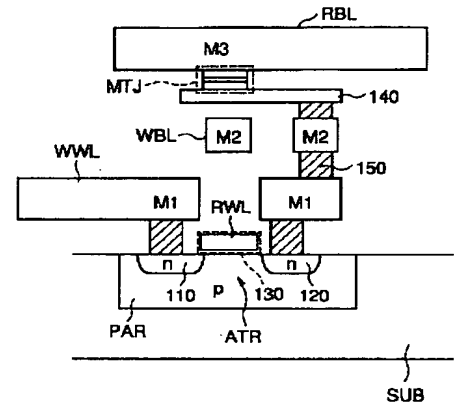
【図 35】



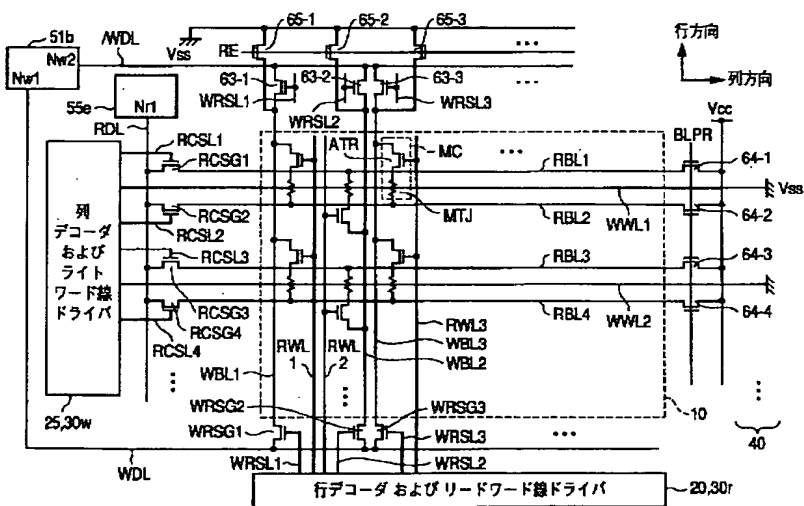
【図 58】



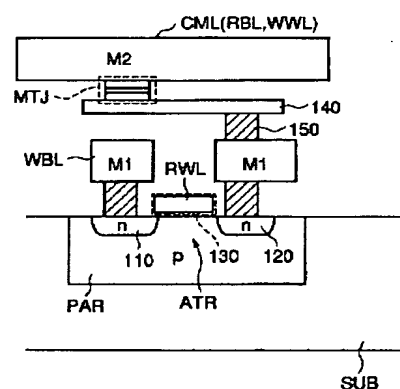
【図 59】



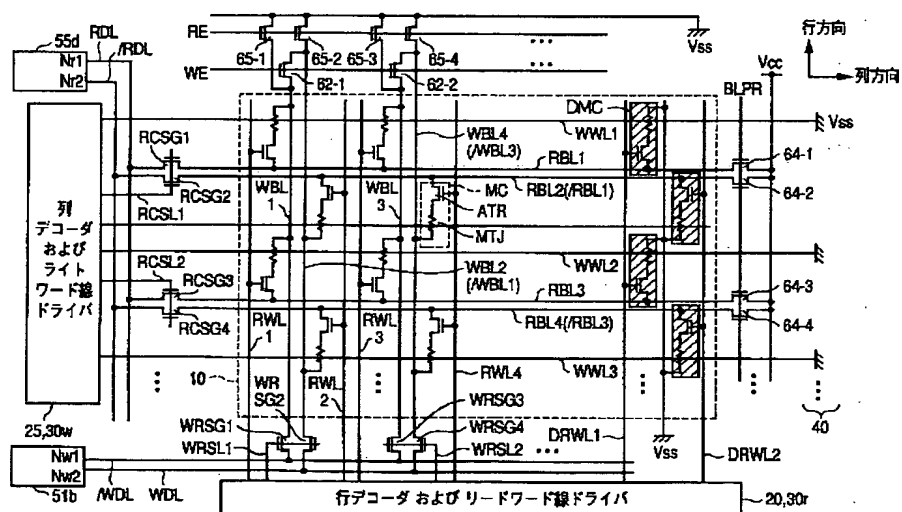
【図 37】



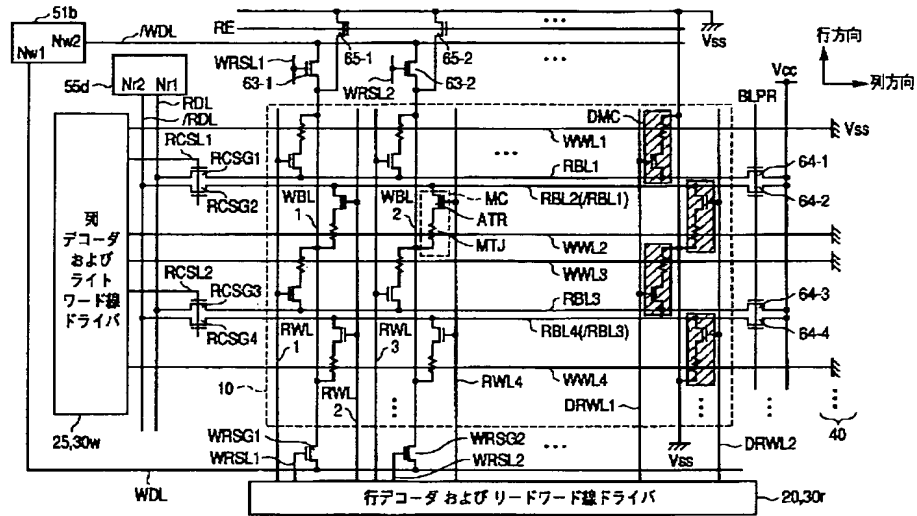
【图 68】



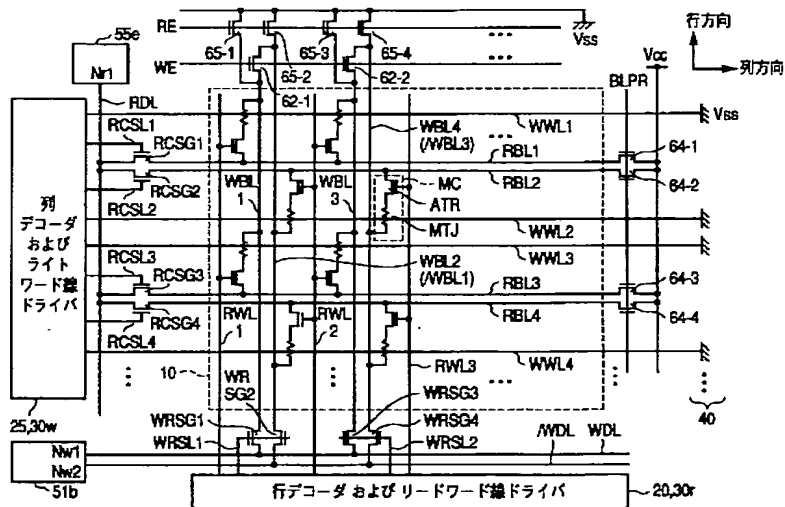
【图 4 7】



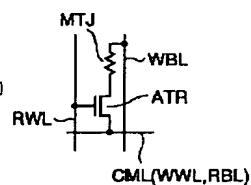
【図48】



【図49】



【图 7 5】



【图 7 6】

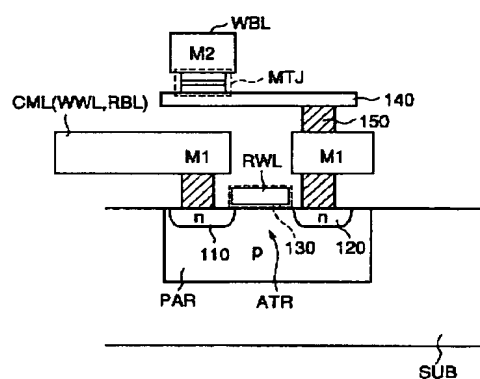
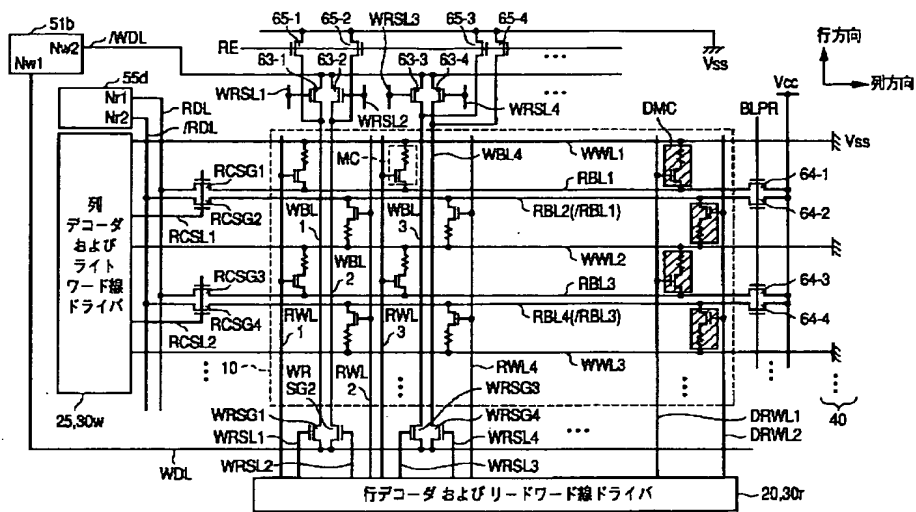
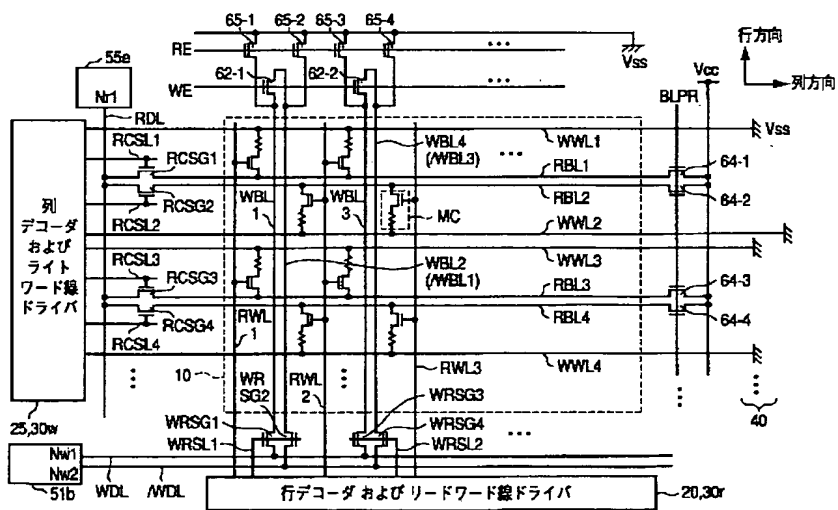


Figure 1 is a schematic diagram of a semiconductor device. The top part shows a cross-section of the device, with a substrate (1) having a gate stack (2) and source/drain regions (3). The bottom part shows a circuit diagram of a memory array. The array consists of word lines (WL) and bit lines (BL) connected to access transistors (AT) and storage capacitors (C). The word lines are labeled WL1, WL2, WL3, and WL4. The bit lines are labeled BL1, BL2, BL3, and BL4. The access transistors are labeled AT1, AT2, AT3, and AT4. The storage capacitors are labeled C1, C2, C3, and C4. The diagram also shows a row decoder (行デコーダ) and a column decoder (列デコーダ) connected to the word lines and bit lines, respectively. The row decoder is labeled 25, 30a and the column decoder is labeled 20, 30b. The diagram includes various electrical symbols and labels for components and connections.

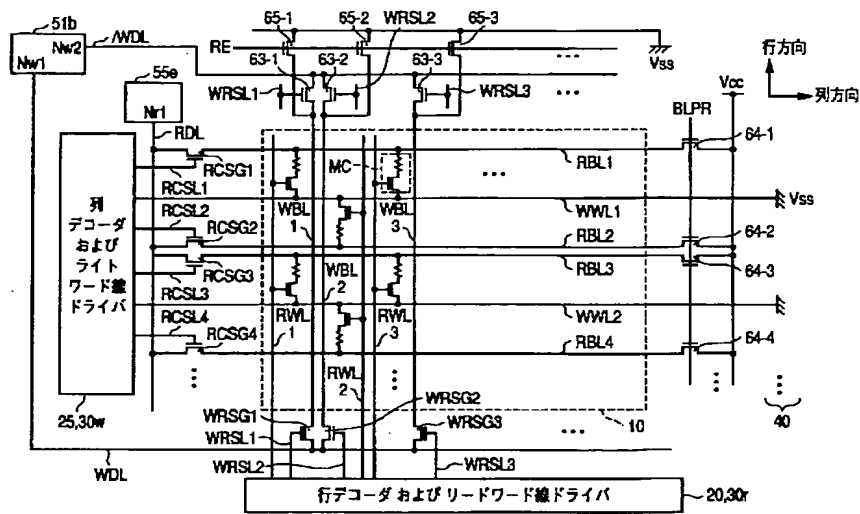
【图 5 6】



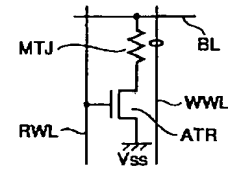
【图 5 7】



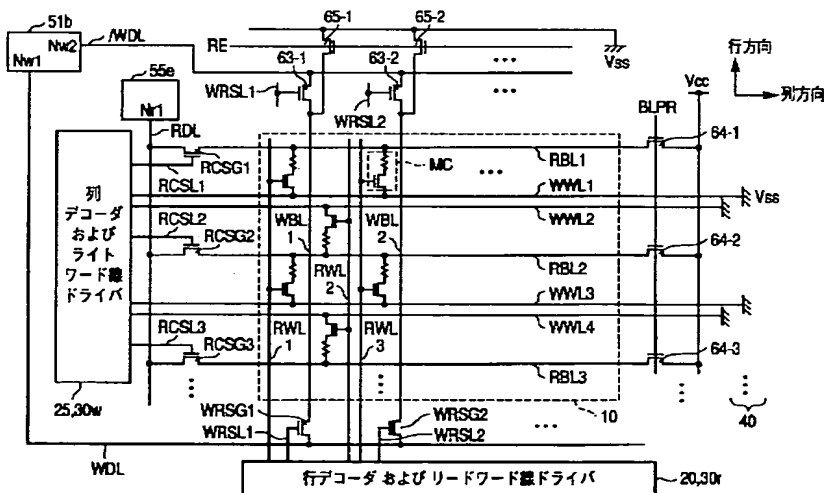
【図60】



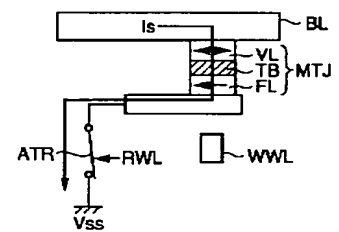
【図83】



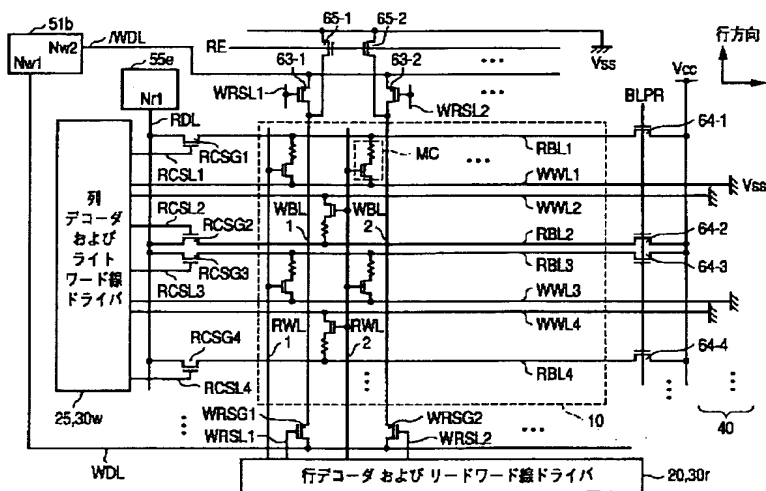
【図61】



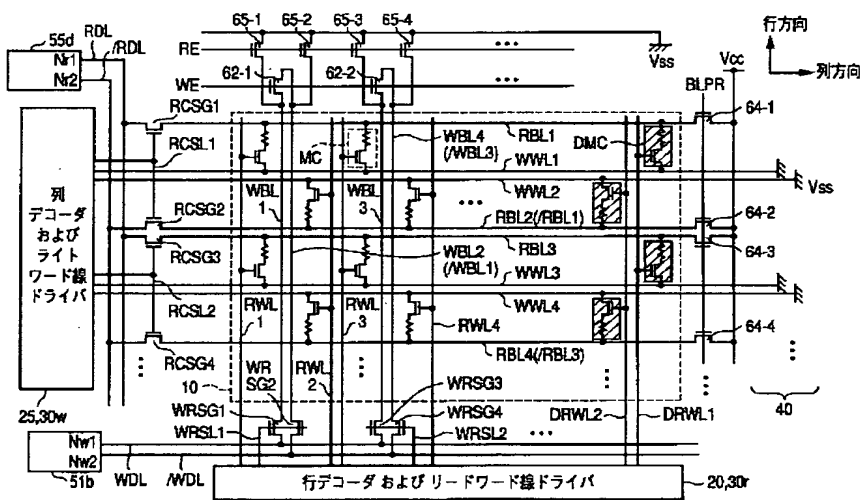
【図84】



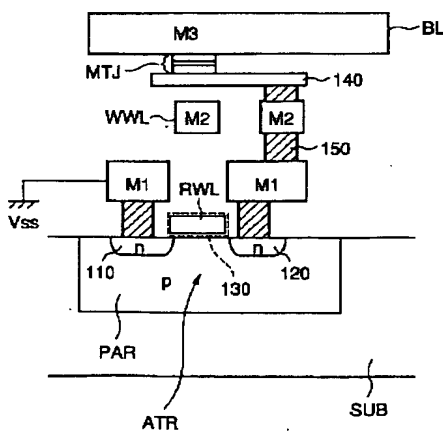
【図62】



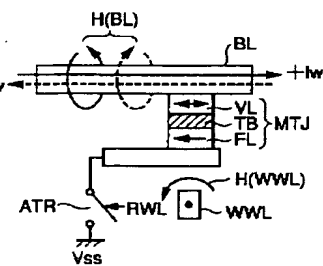
【図63】



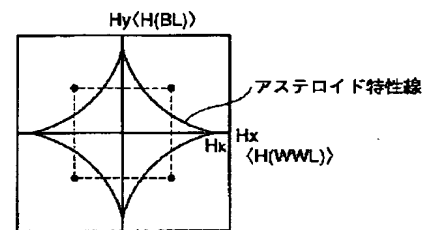
【図88】



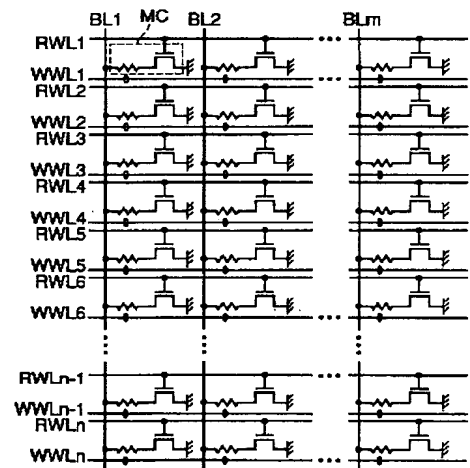
【図85】



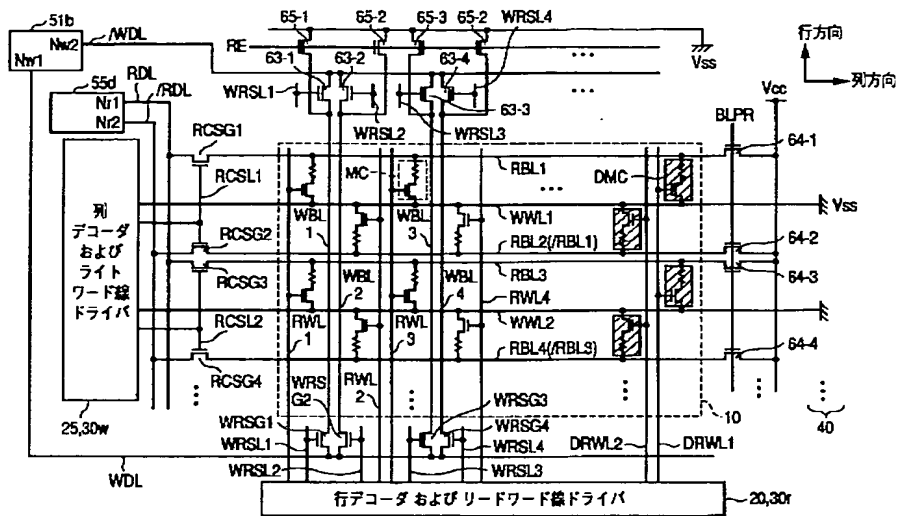
【図86】



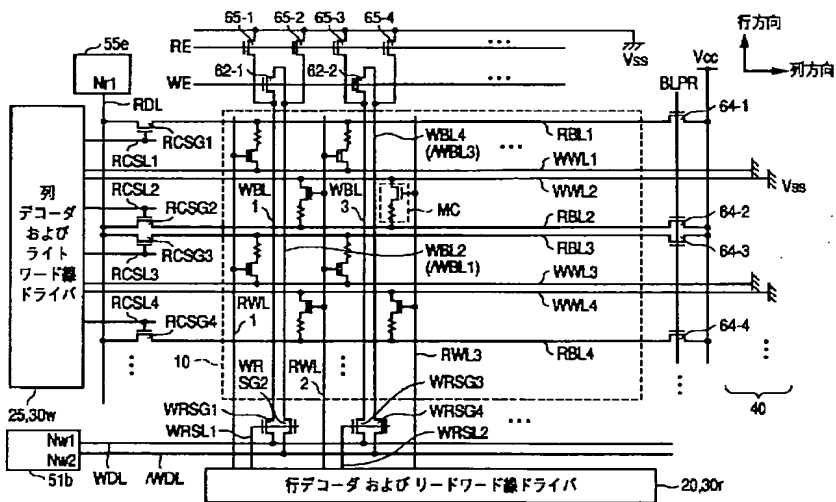
【図87】



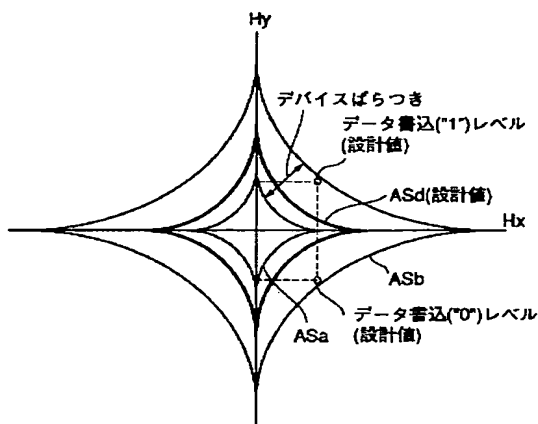
【図64】



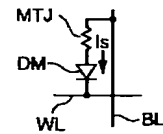
【図65】



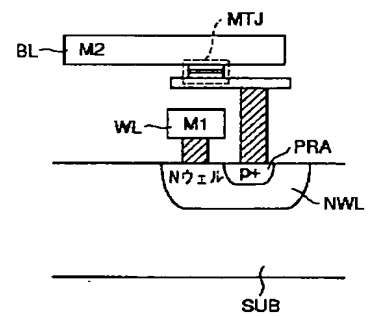
【図89】



【図90】

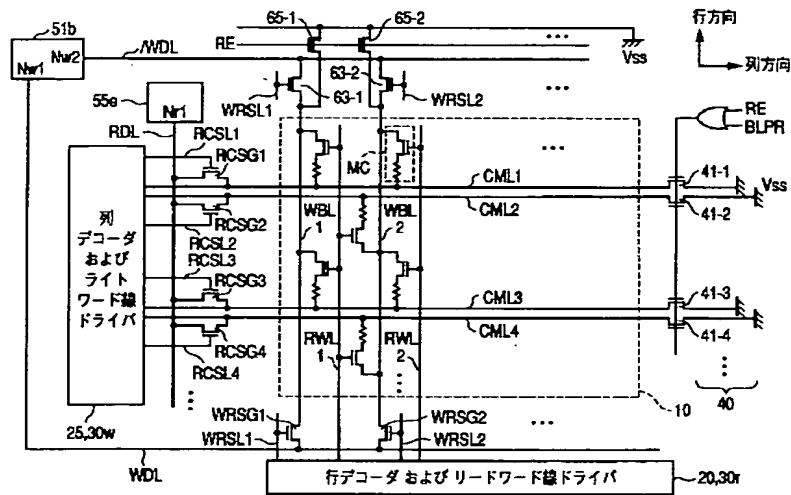


【図91】

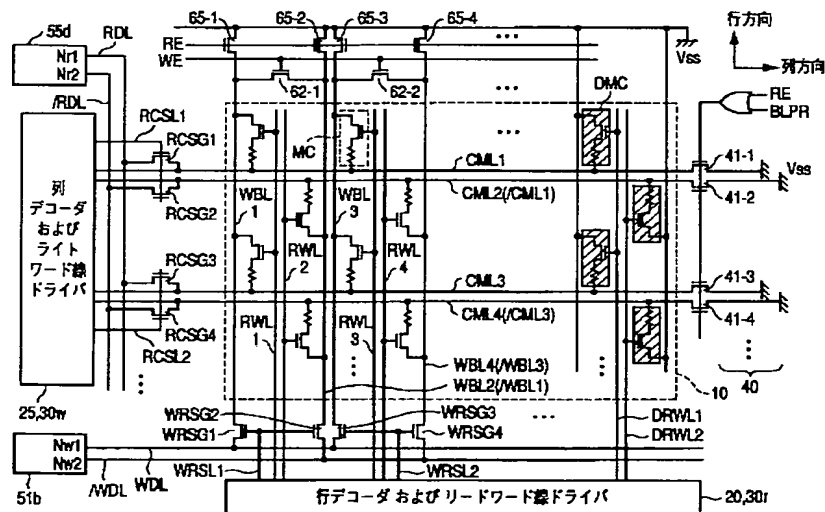


[illegible]

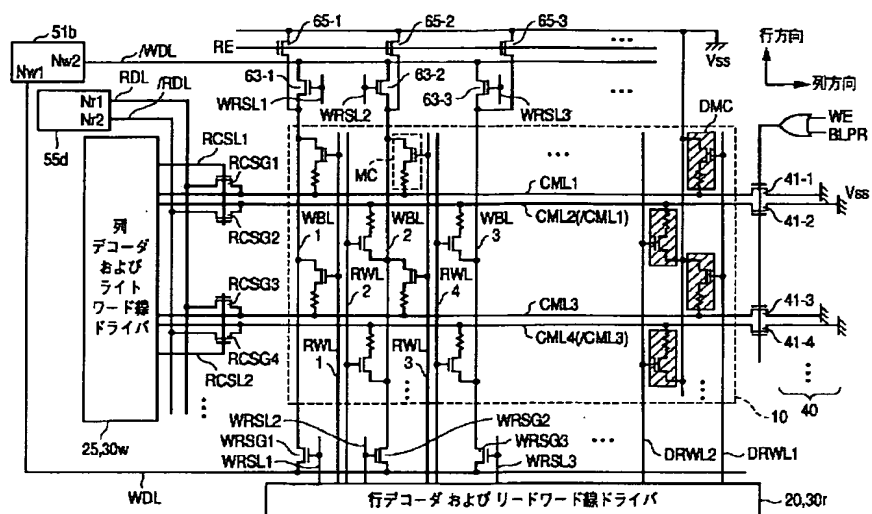
【図 7 1】



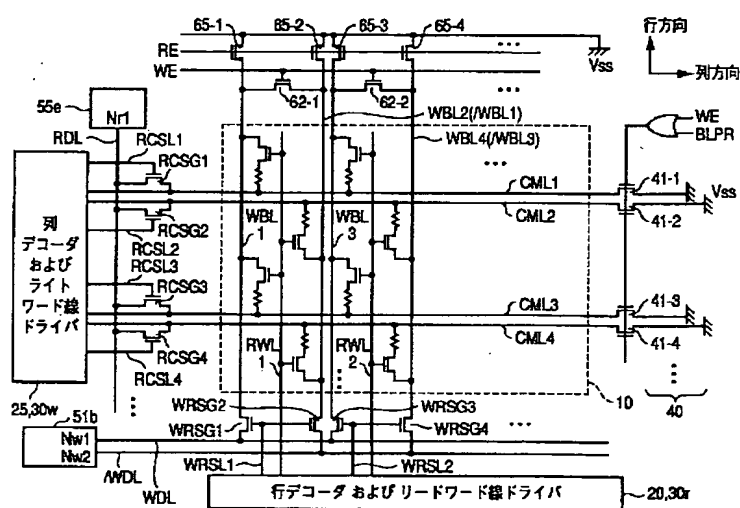
【図 7 2】



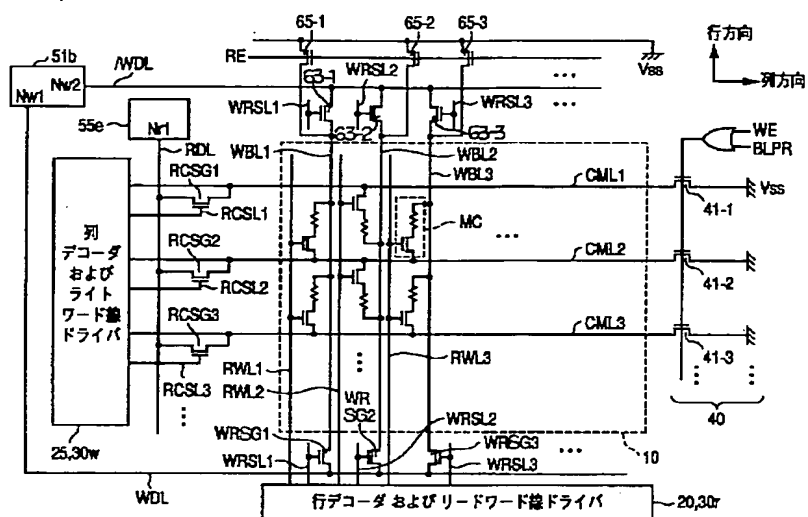
【图 7 3】



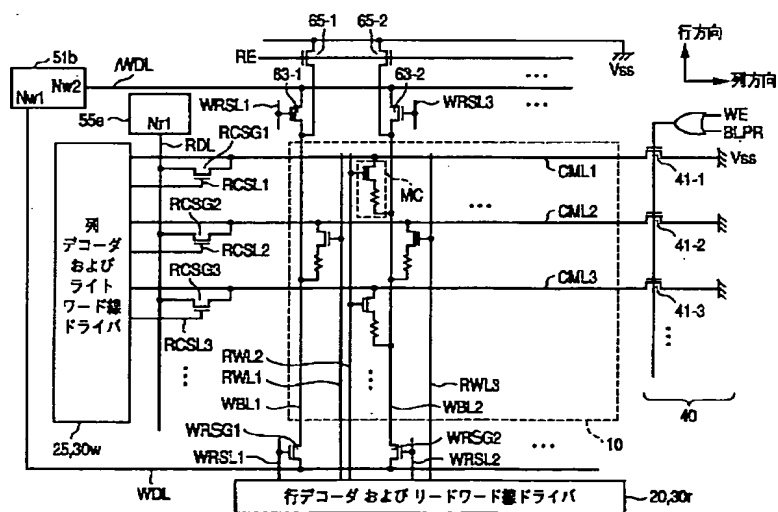
【图 7 4】



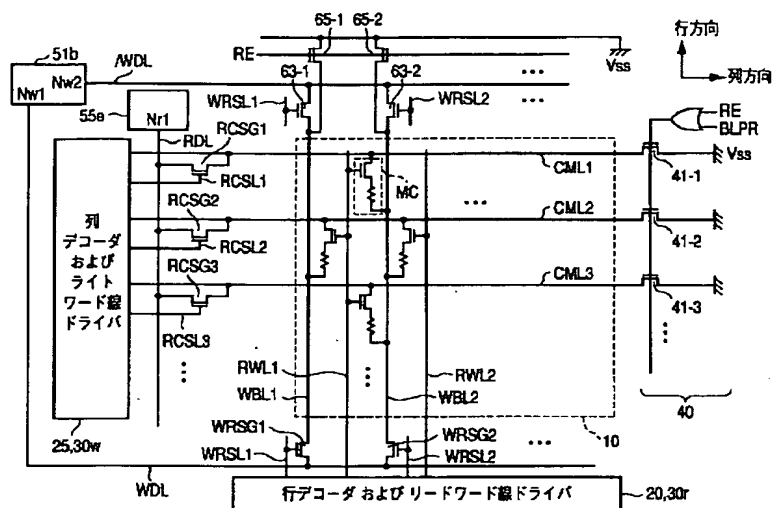
【図 77】



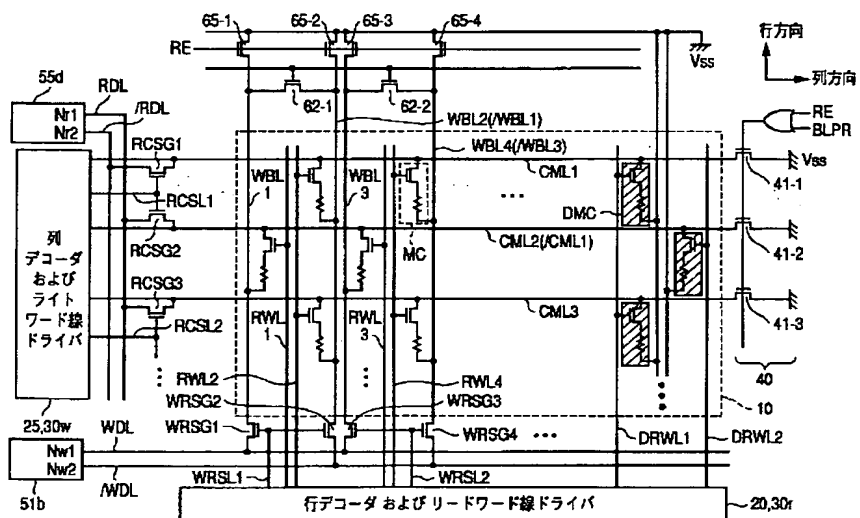
【図 78】



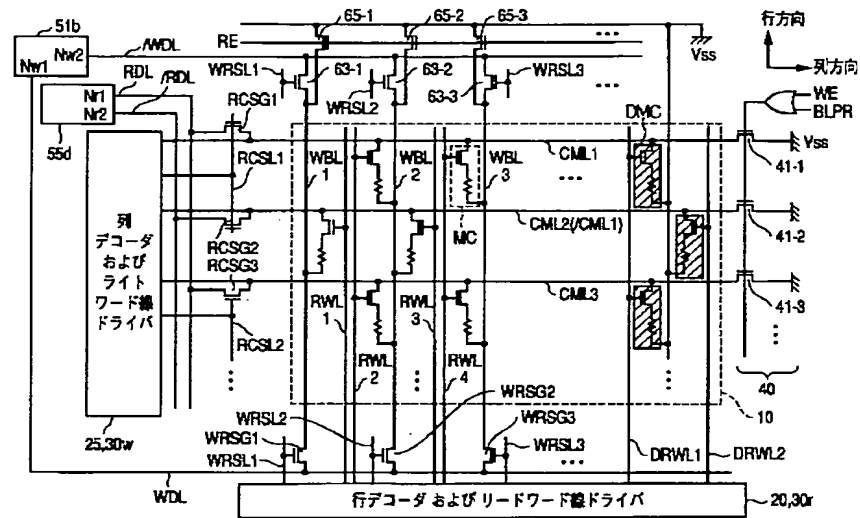
【图 7 9】



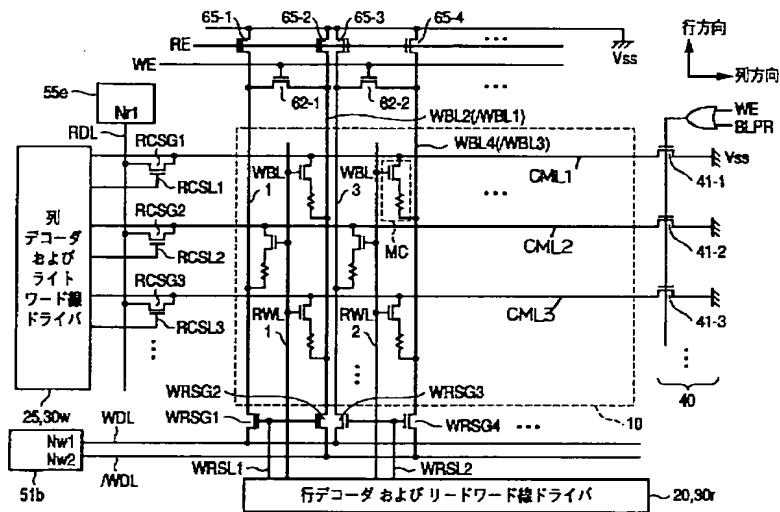
【图 80】



【図 8 1】



【図 8 2】



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 43/08

識別記号

F I

H 0 1 L 27/10

テーマコード (参考)

4 4 7